



ΔΗΜΟΚΡΙΤΕΙΟ
ΠΑΝΕΠΙΣΤΗΜΙΟ
ΘΡΑΚΗΣ

ΤΜΗΜΑ
ΗΜ&ΜΥ

Multilevel inverters

DC/AC Converters

Advantages of multilevel inverters

- lower common mode voltage
- lower voltage stresses on power switches
- lower dv/dt ratio to modulate lower harmonic contents in output voltage and current waveforms
- the harmonic components of line-to-line output voltages are reduced, owing to its switching frequencies (Comparing with two-level inverter topologies at the same power ratings)

Applications

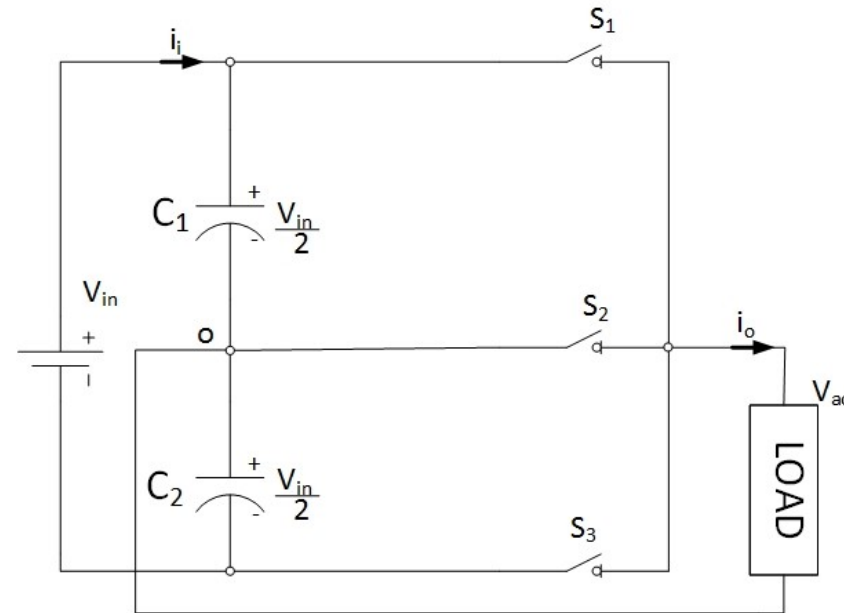
- Induction motor drives (diode clamped)
- Active rectifiers
- Active filters
- Interface of RES
- Flexible AC transmission systems
- Static compensators

3 types of multilevel inverters (MLI)

- diode clamped MLI (DC-MLI)
- flying capacitor MLI (FC-MLI)
- cascaded H-Bridge MLI (CHB-MLI)

Αντιστροφείς τάσης Πολλαπλών επιπέδων (Multilevel Voltage Source Inverters)

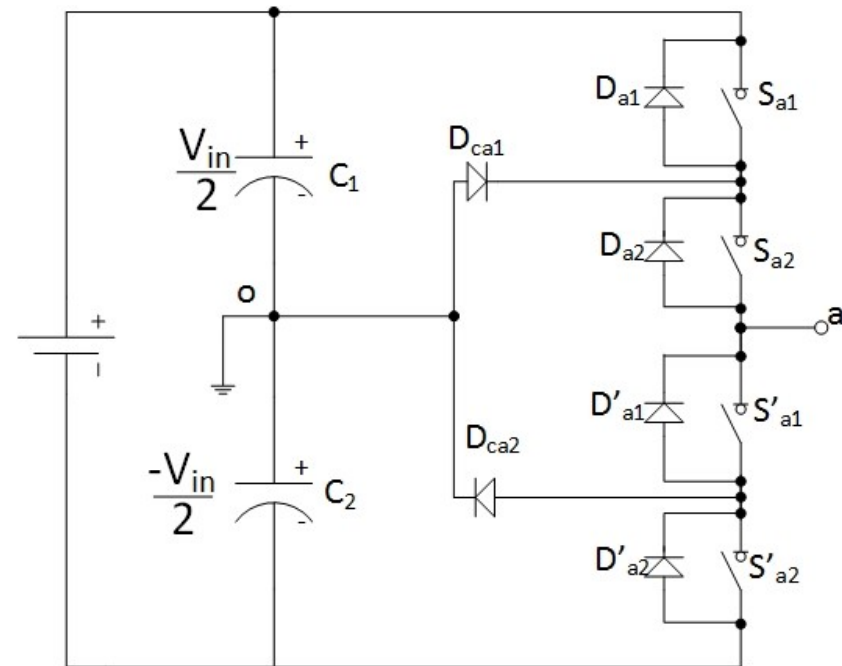
- Όσο ο αριθμός των επιπέδων τάσης εξόδου αυξάνεται, τόσο ο συντελεστής THD% τείνει προς το μηδέν.
- Οι αντιστροφείς με περισσότερα από 2 επίπεδα ονομάζονται αντιστροφείς πολλαπλών επιπέδων
- Πλεονεκτήματα
 - έχουν δυνατότητα παραγωγής υψηλότερης τάσης εξόδου,
 - η τάση εξόδου τους έχει καλύτερη ποιότητα (χαμηλότερο THD%)



Απλοποιημένο κύκλωμα ισχύος μίας φάσης αντιστροφέα τριών επιπέδων.

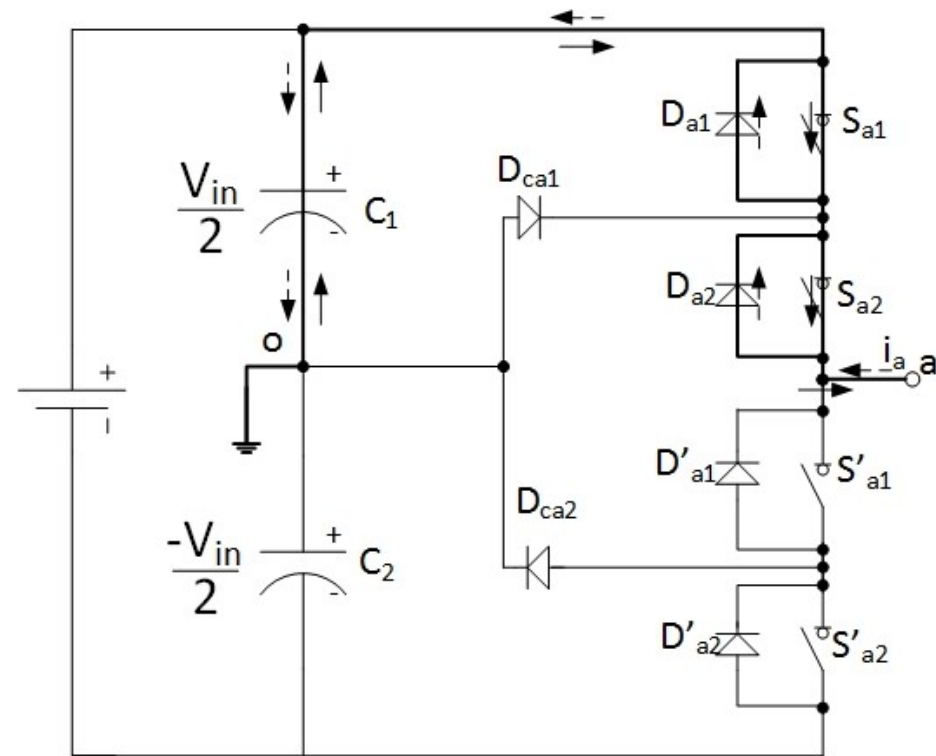
Οι αντιστροφείς πολλαπλών επιπέδων με διόδους περιορισμού (Diode-Clamped Multilevel Inverters, DCMI)

- $m-1$ πυκνωτές σε σειρά στην είσοδο για να διαιρέσουν τη DC τάση στα επιθυμητά επίπεδα
- $2(m-1)$ διακοπτικές διατάξεις
 - Κάθε ένας διακόπτης με αντίστοιχη δίοδο ελεύθερης διέλευσης
- $2(m-2)$ δίοδοι περιορισμού
- Στον αντιστροφήα 3 επιπέδων
 - 2 πυκνωτές σε σειρά στην είσοδο
 - 4 διακοπτικές διατάξεις
 - 2 δίοδοι περιορισμού

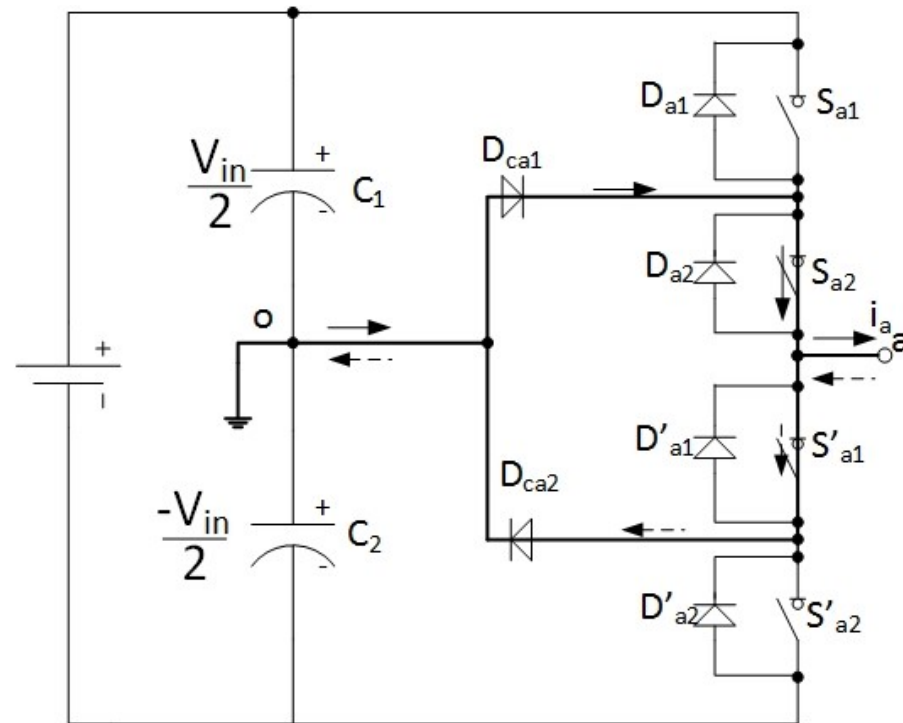


Ένας κλάδος μίας φάσης αντιστροφήα
DCMI 3-επιπέδων

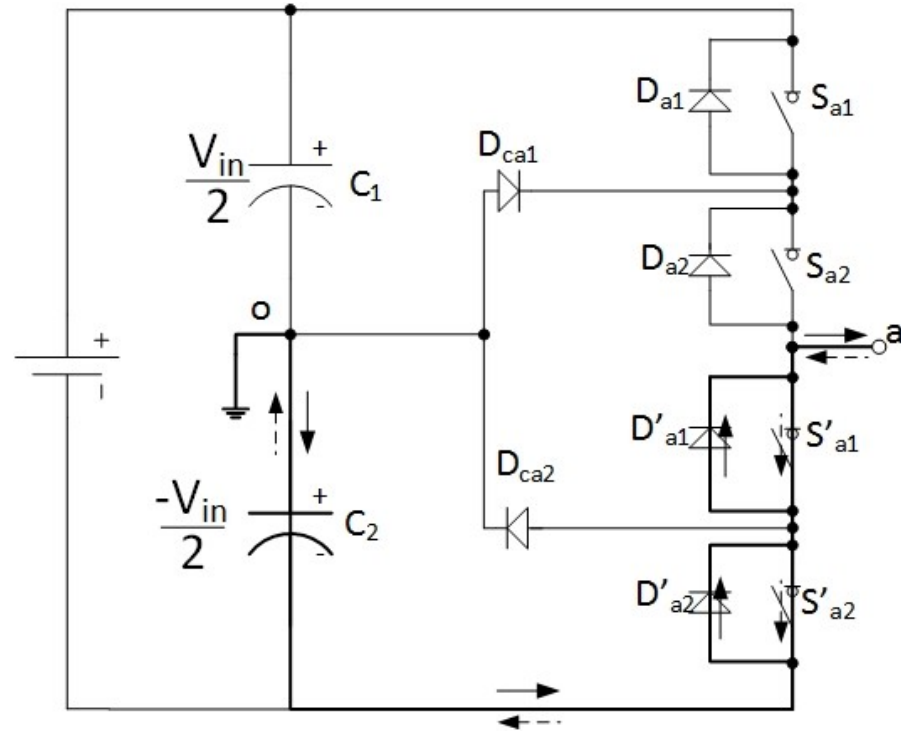
Καταστάσεις ρεύματος για θετική κατάσταση τάσης εξόδου



Καταστάσεις ρεύματος για μηδενική κατάσταση τάσης εξόδου



Καταστάσεις ρεύματος για αρνητική κατάσταση τάσης εξόδου



Διακοπτικοί συνδυασμοί και αντίστοιχα παραγόμενα επίπεδα τάσης για τη φάση-a του αντιστροφέα DCMI τριών επιπέδων

Επίπεδο φασικής τάσης εξόδου	Διακοπτική κατάσταση ημιαγωγικών διακοπών				
	S_{a1}	S_{a2}	S'_{a1}	S'_{a2}	
$V_{in}/2$	1	1	0	0	
0	0	1	1	0	
$-V_{in}/2$	0	0	1	1	

Επίπεδο φασικής τάσης εξόδου	Κατάσταση ημιαγωγικών στοιχείων	
	$I_a > 0$ (θετική φορά ρεύματος)	$I_a < 0$ (αρνητική φορά ρεύματος)
$V_{in}/2$	S_{a1}, S_{a2}	D_{a1}, D_{a2}
0	D_{ca1}, S_{a2}	S'_{a1}, D_{ca2}
$-V_{in}/2$	D'_{a1}, D'_{a2}	S'_{a1}, S'_{a2}

Οι αντιστροφείς DCMI

πλεονεκτήματα

1. Όταν ο αριθμός των επιπέδων είναι μεγάλος, το αρμονικό περιεχόμενο του φάσματος συχνοτήτων είναι αρκετά μικρό, έτσι ώστε να μην είναι απαραίτητη η χρήση φίλτρου στη έξοδο.
2. Ο βαθμός απόδοσης του αντιστροφέα είναι υψηλός.

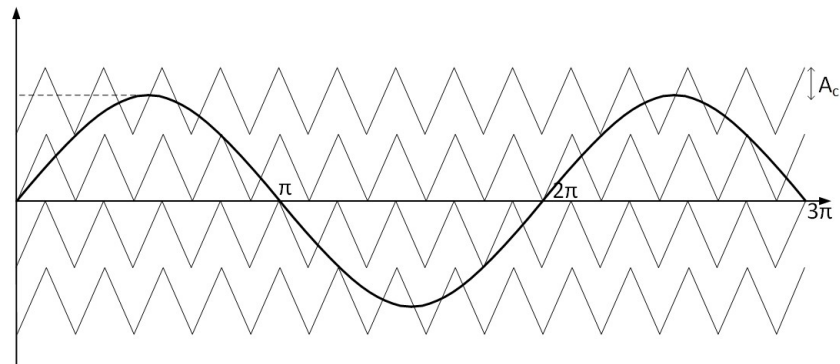
μειονεκτήματα

1. Όταν ο αριθμός των επιπέδων είναι μεγάλος, ο απαιτούμενος αριθμός διόδων είναι ιδιαίτερα υψηλός, ακόμη και μη λειτουργικός.
2. Το μέγιστο πλάτος της φασικής τάσης εξόδου είναι ίσο με το ήμισυ της συνεχούς τάσης εισόδου.

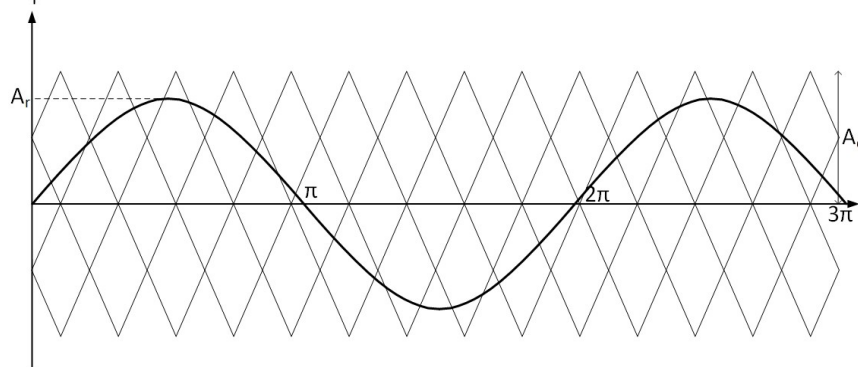
SPWM στους αντιστροφείς πολλαπλών επιπέδων

- Όμοια λογική με την SPWM δύο επιπέδων
- Χρειάζεται $m-1$ φέροντα σήματα
- Ανάλογα με την διαφορά φάσης στις κυματομορφές φέροντος, οι τεχνικές παλμοδότησης στην SPWM είναι φέροντα σήματα:
 - σε φάση (Phase Disposition, PD)
 - μετατοπισμένα κατά 180 μοίρες από την κυματομορφή του γειτονικού φέροντος σήματος (Alternative Phase Disposition, APOD),
 - Όλες οι κυματομορφές φέροντος σήματος που βρίσκονται πάνω από το σημείο μηδενισμού της ημιτονοειδούς κυματομορφής αναφοράς βρίσκονται μεταξύ τους σε φάση, αλλά σε αντίθετη φάση με αυτές που βρίσκονται κάτω από το σημείο μηδενισμού (Phase Opposition Disposition, POD).

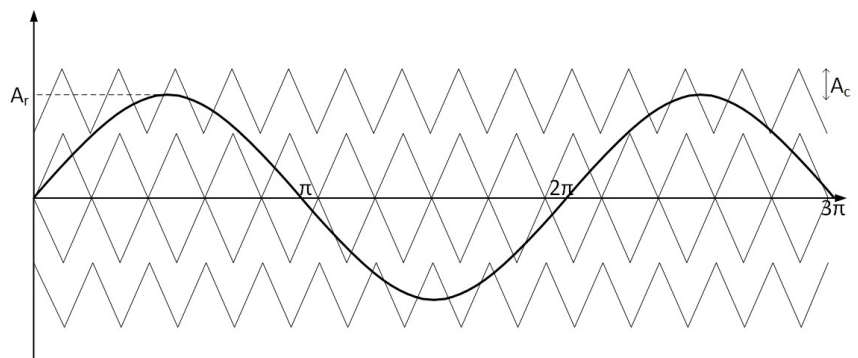
SPWM στους αντιστροφείς πολλαπλών επιπέδων



Phase Disposition (PD)



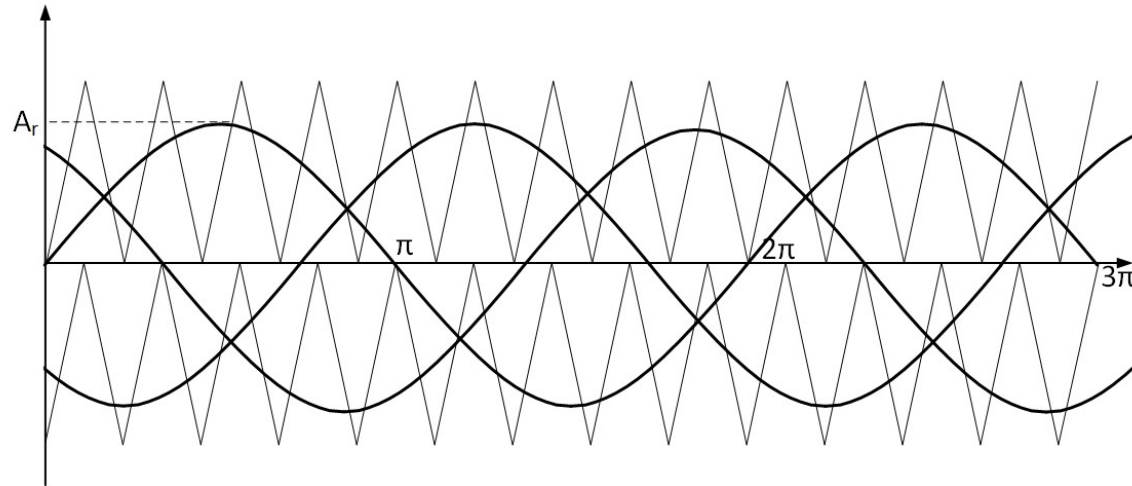
Alternative Phase Opposite Disposition (APOD)



Phase Opposite Disposition (POD)

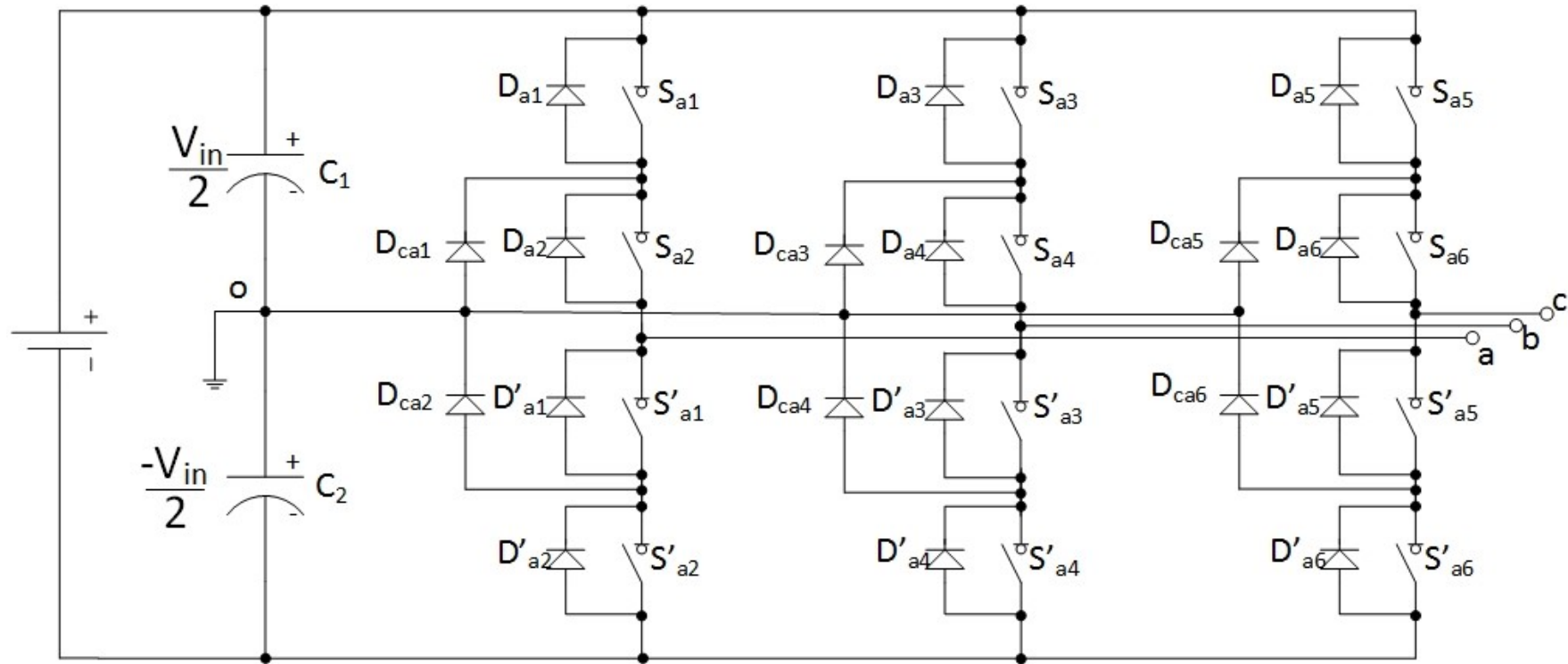
Η τεχνική SPWM για τριφασικούς αντιστροφείς DCMI

- οι 3 κυματομορφές των σημάτων αναφοράς με 120° διαφορά μεταξύ τους.

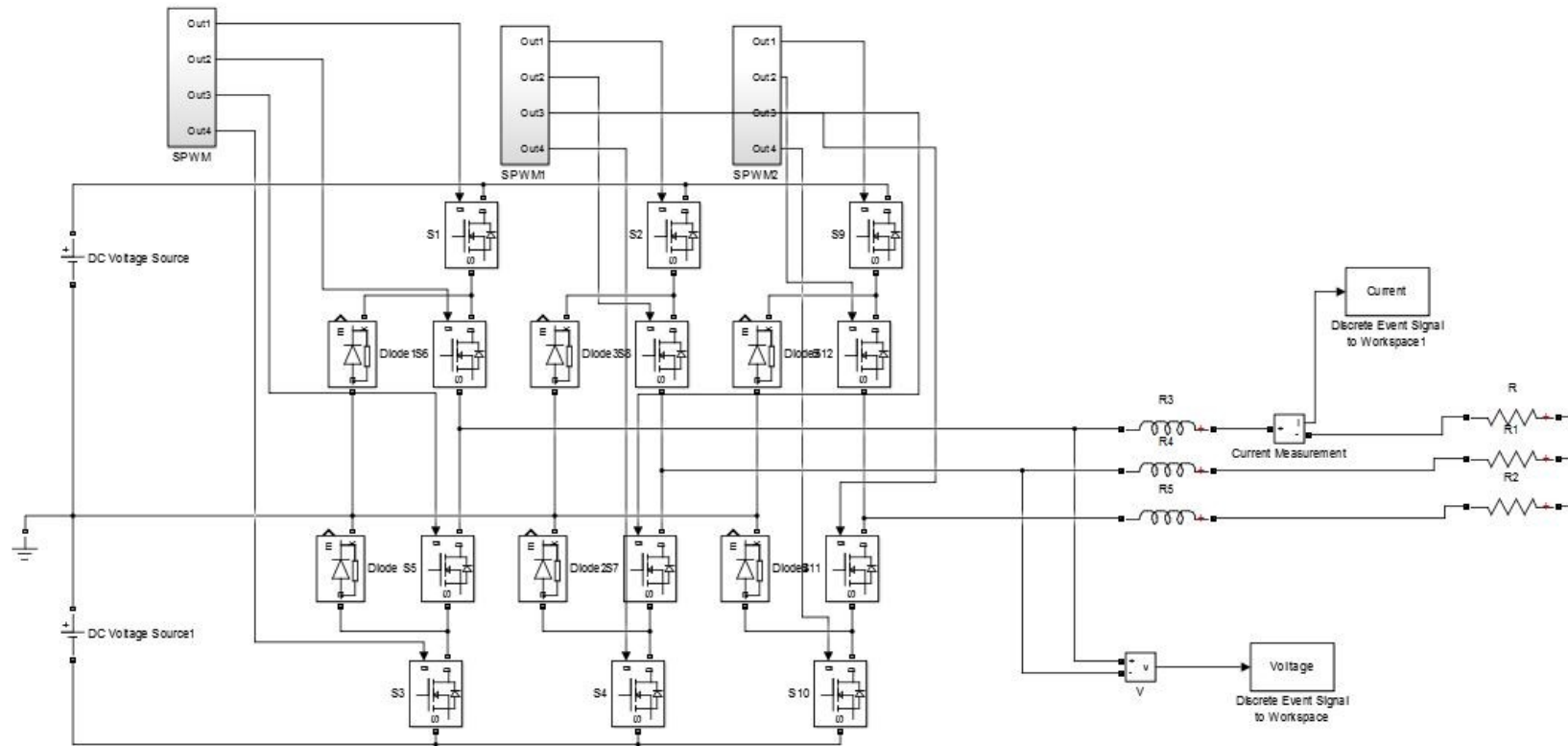


Κυματομορφή φέροντος και αναφοράς για τις τρεις φάσεις για αντιστροφή τριών επιπέδων με την τεχνική PD-SPWM

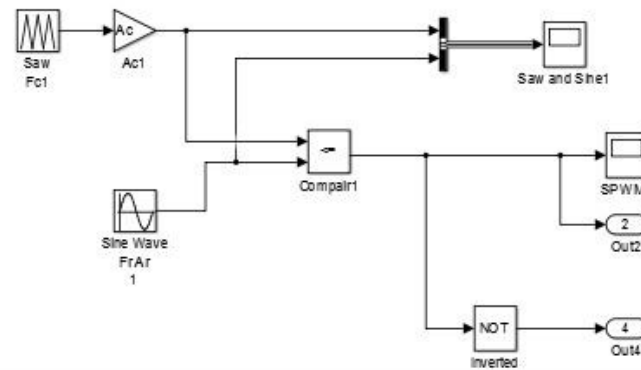
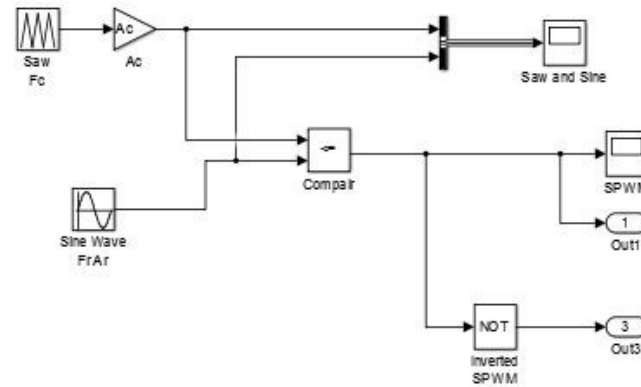
Τριφασικός αντιστροφέας 3 επιπέδων DCMI



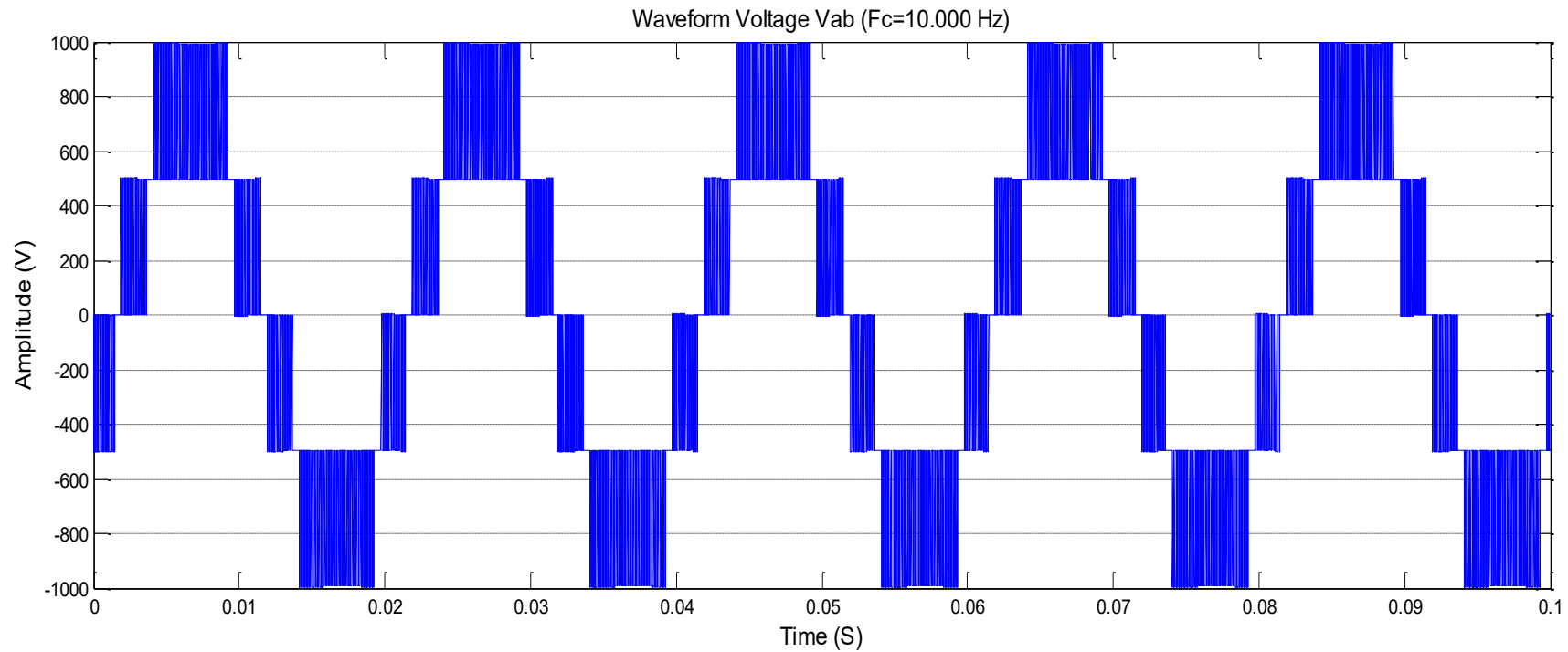
Προσομοίωση με την χρήση του λογισμικού Simulink



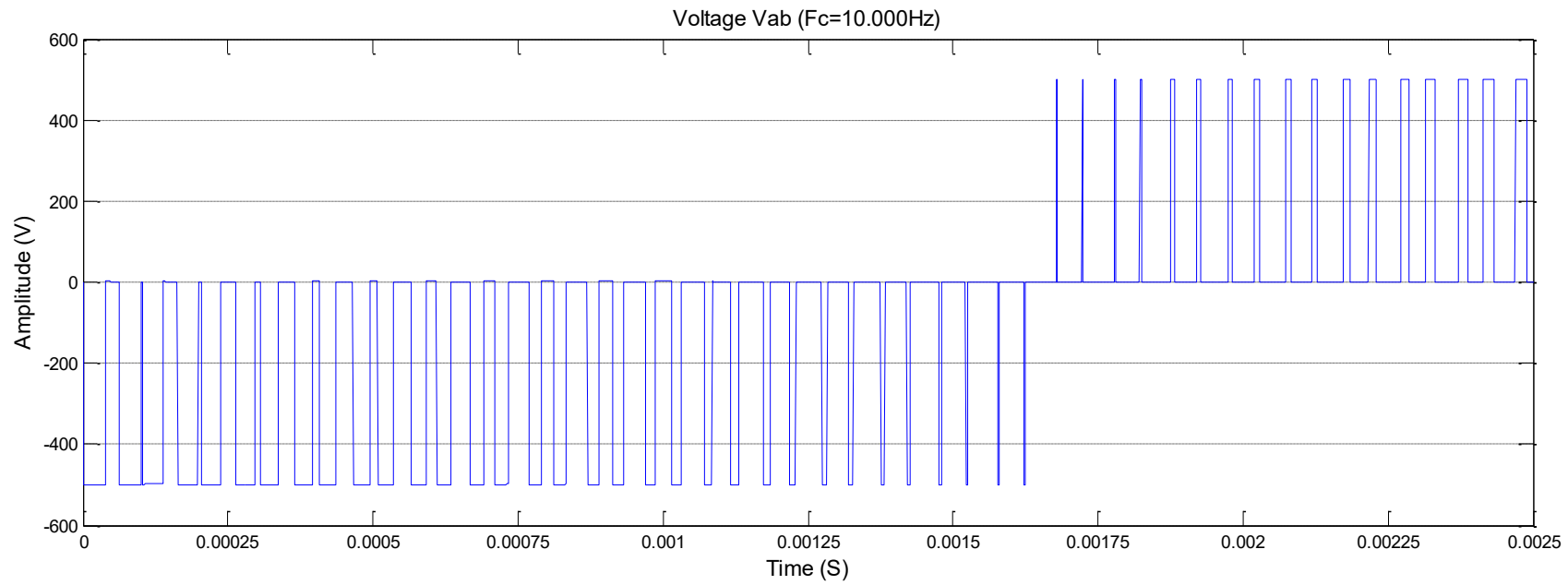
Προσομοίωση συστήματος παλμοδότησης



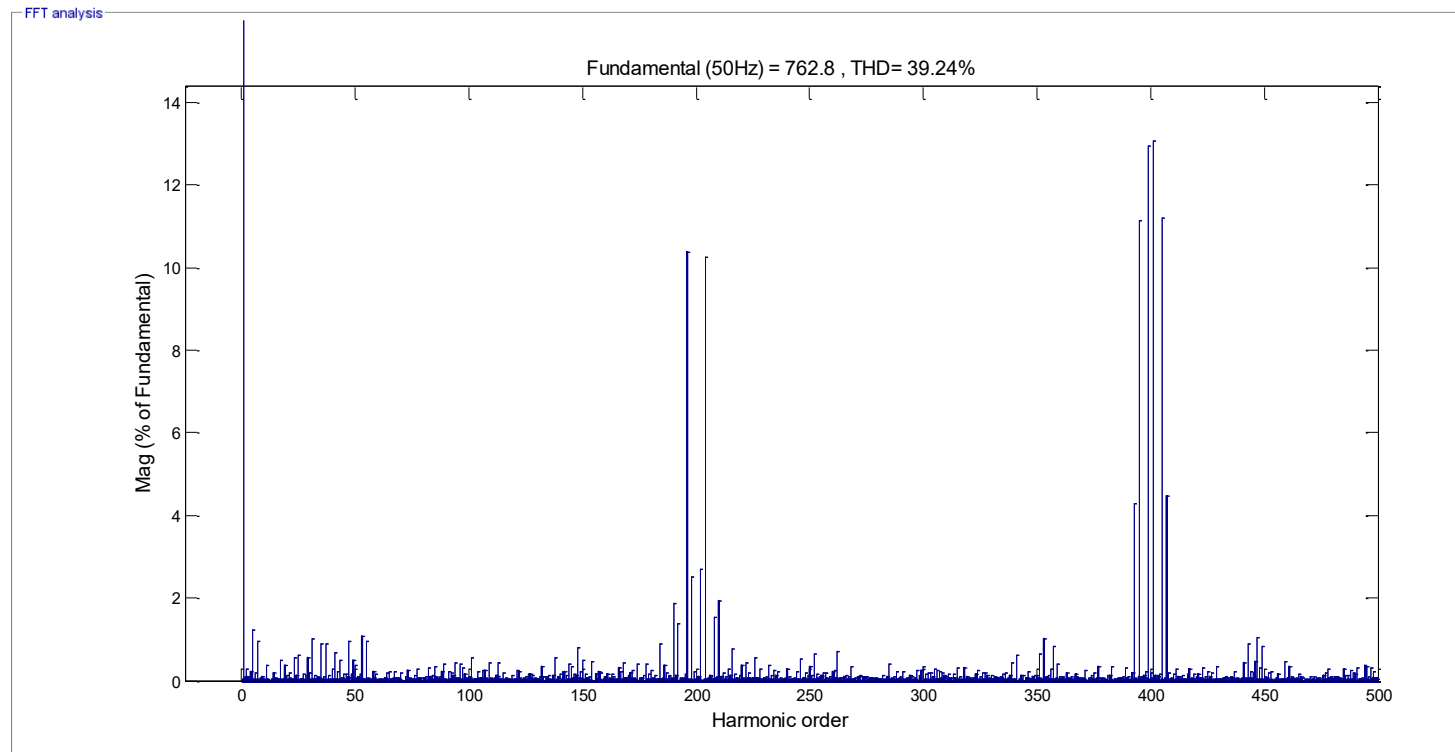
Πολική τάση εξόδου αντιστροφέα τριών επιπέδων DCMI
για συχνότητα φέροντος $f_c=10$ KHz



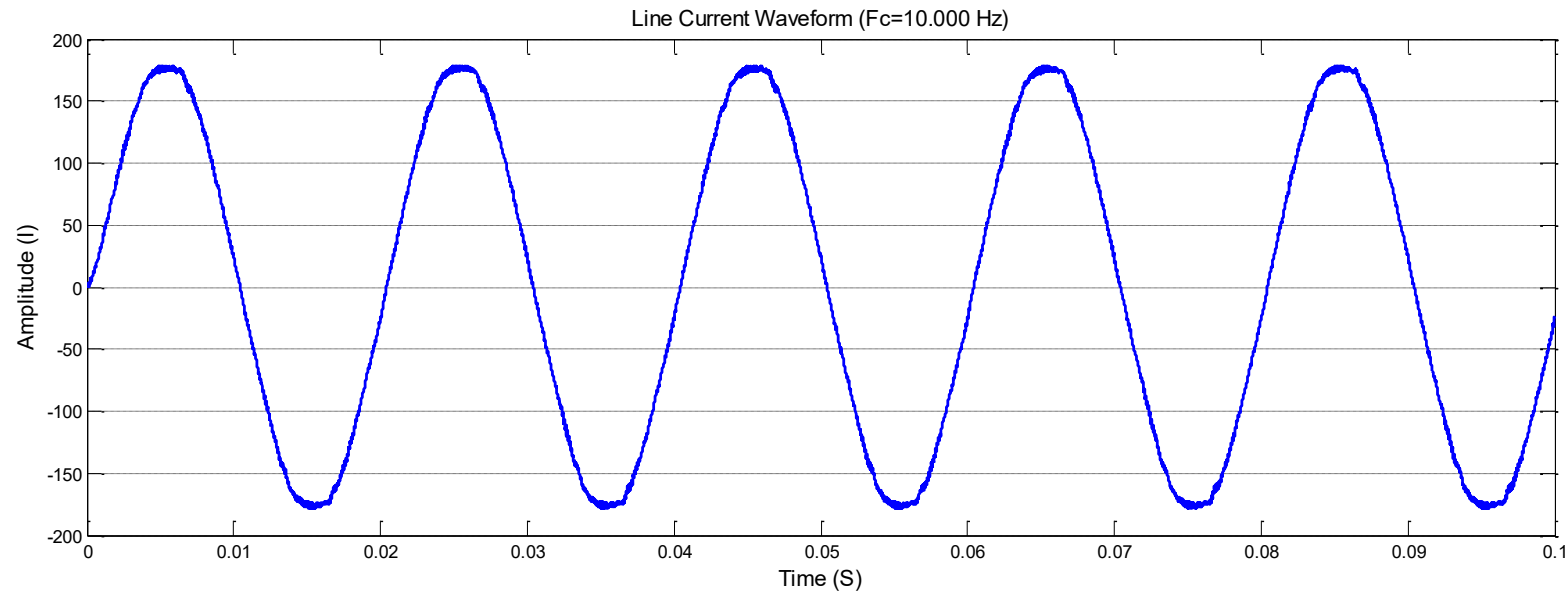
Πολική τάση εξόδου αντιστροφέα τριών επιπέδων DCMI
για συχνότητα φέροντος $f_c=10$ KHz



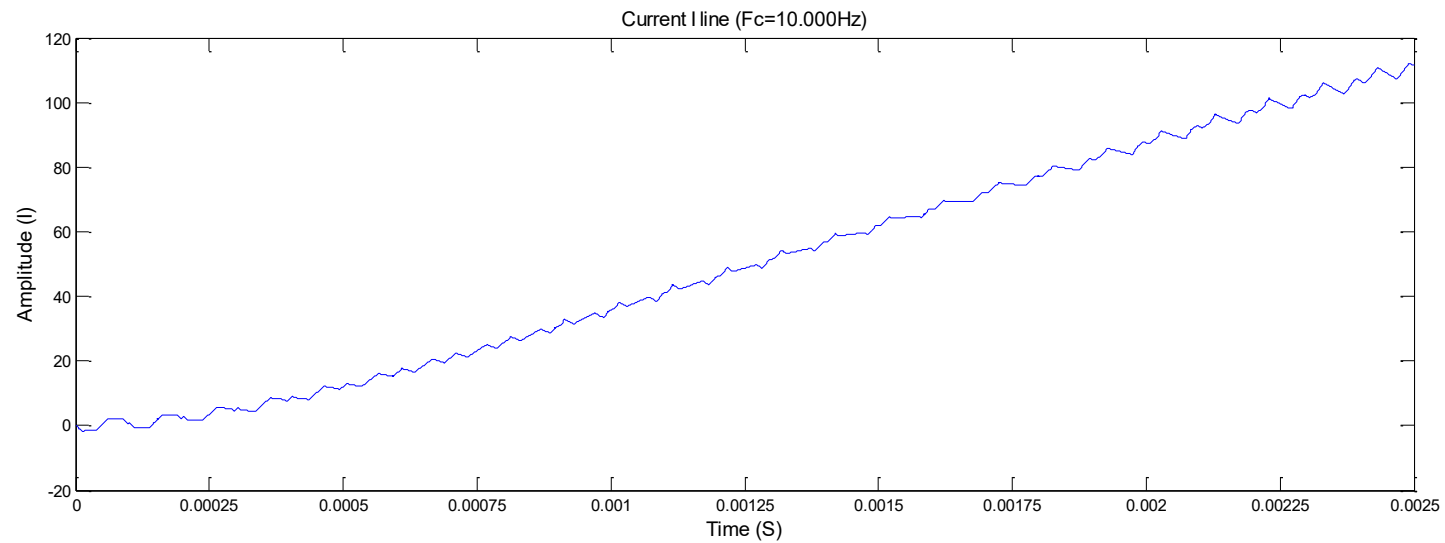
Ανάλυση Fourier πολικής τάσης εξόδου αντιστροφέα τριών επιπέδων DCM1



Ρεύμα γραμμής εξόδου αντιστροφέα τριών επιπέδων DCMI

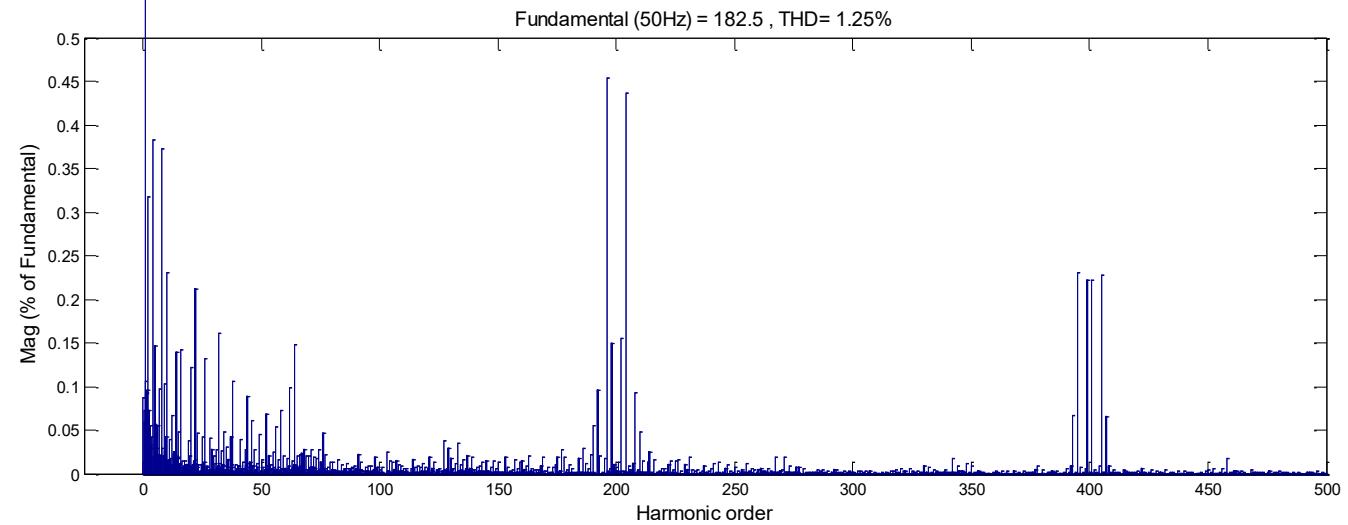


Ρεύμα γραμμής εξόδου αντιστροφέα τριών επιπέδων DCM1

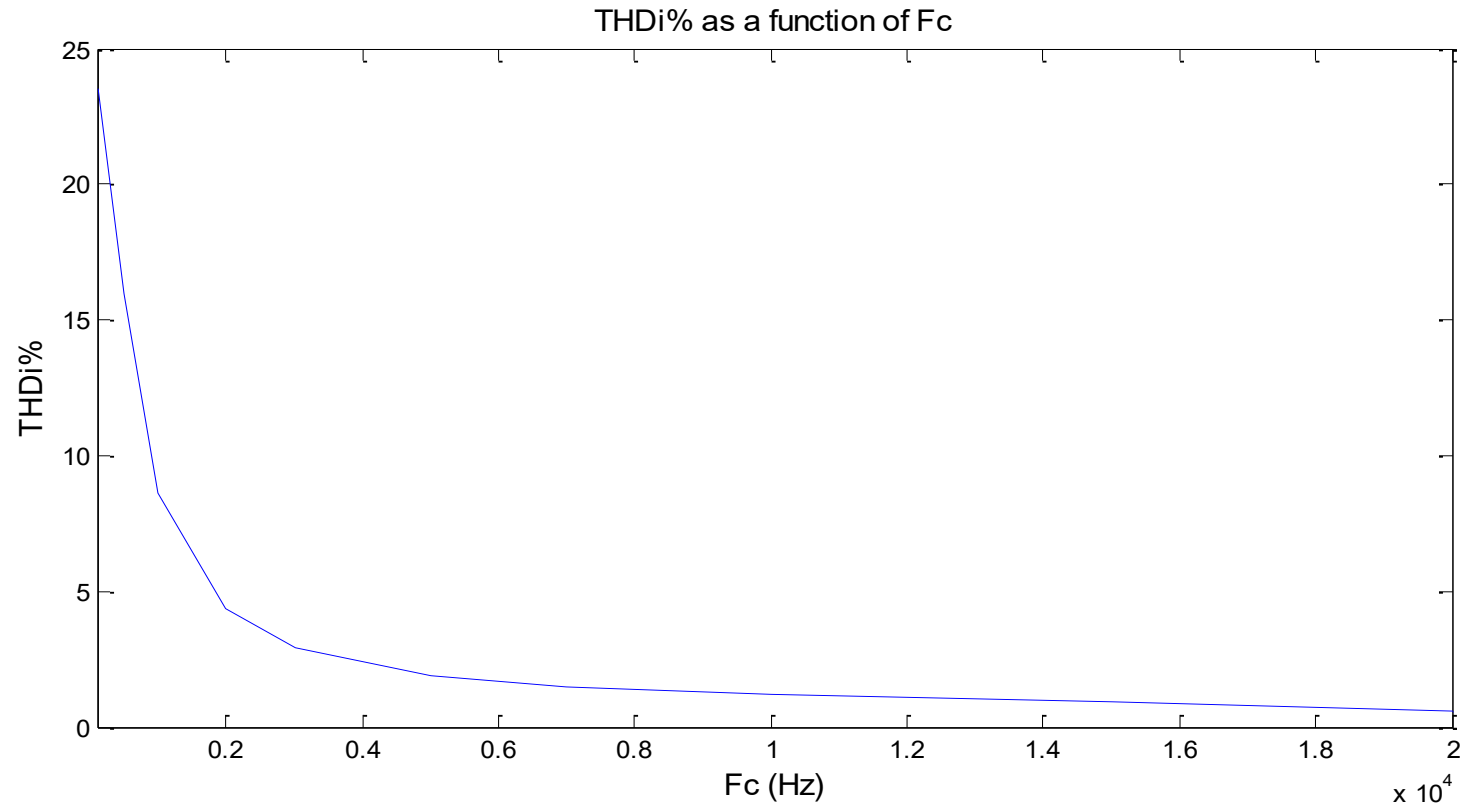


Ανάλυση Fourier του ρεύματος εξόδου αντιστροφέα τριών επιπέδων DCM1

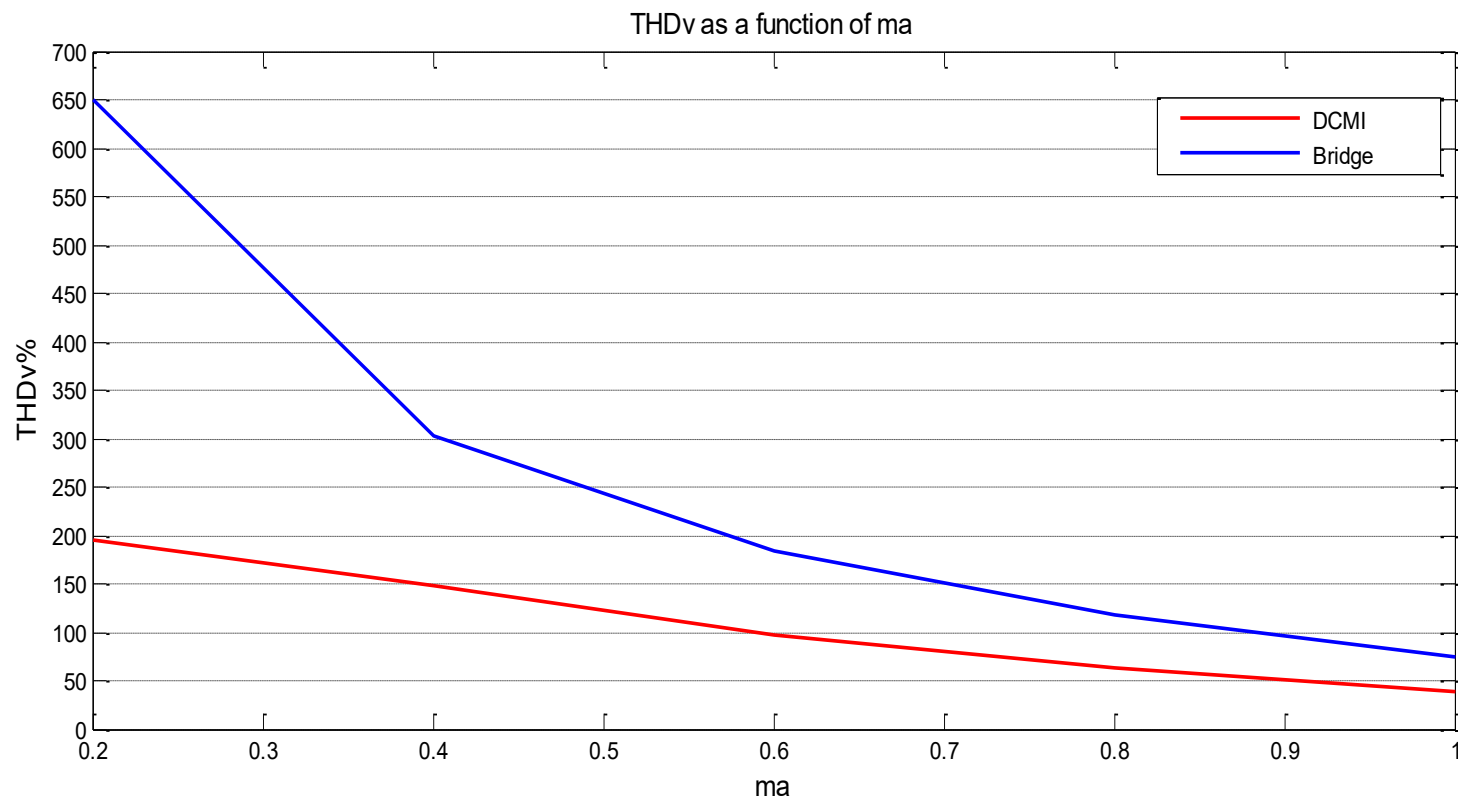
FFT analysis



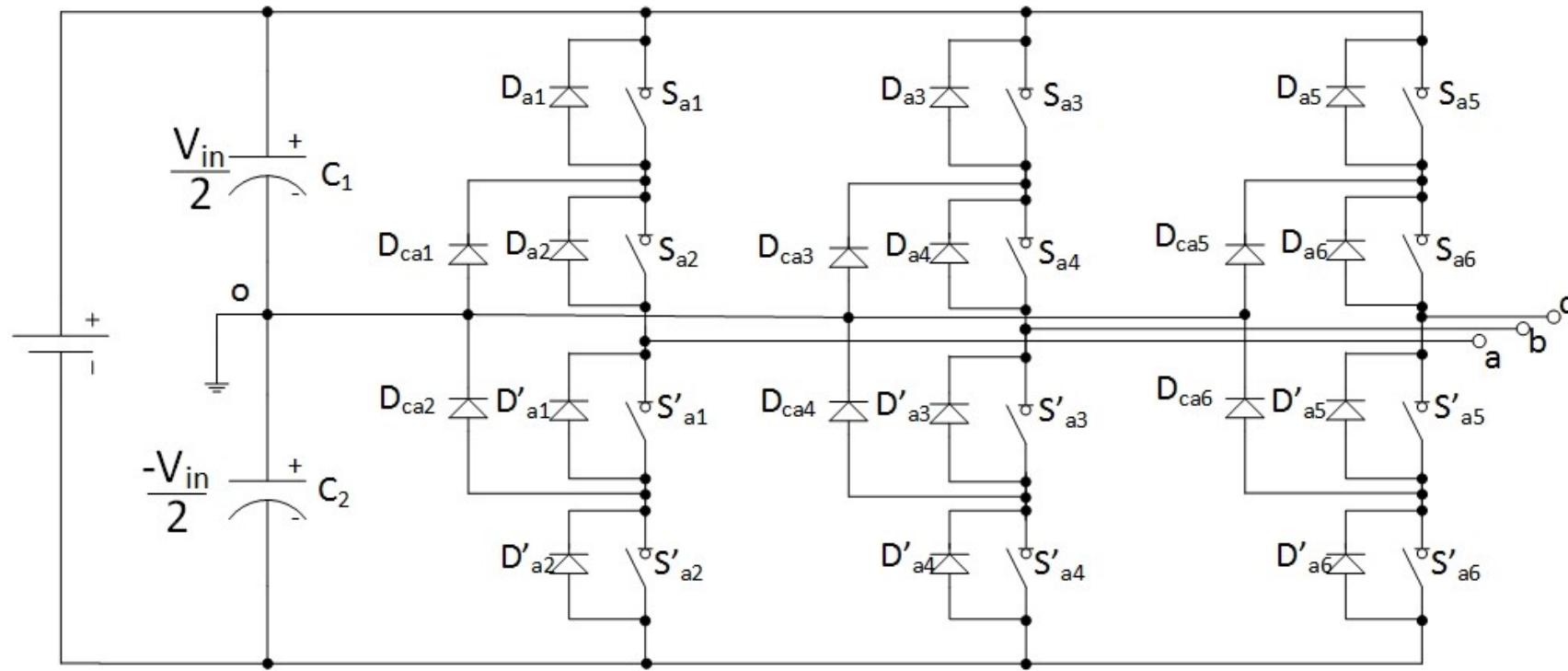
Χαρακτηριστική THD% με τη συχνότητα φέροντος



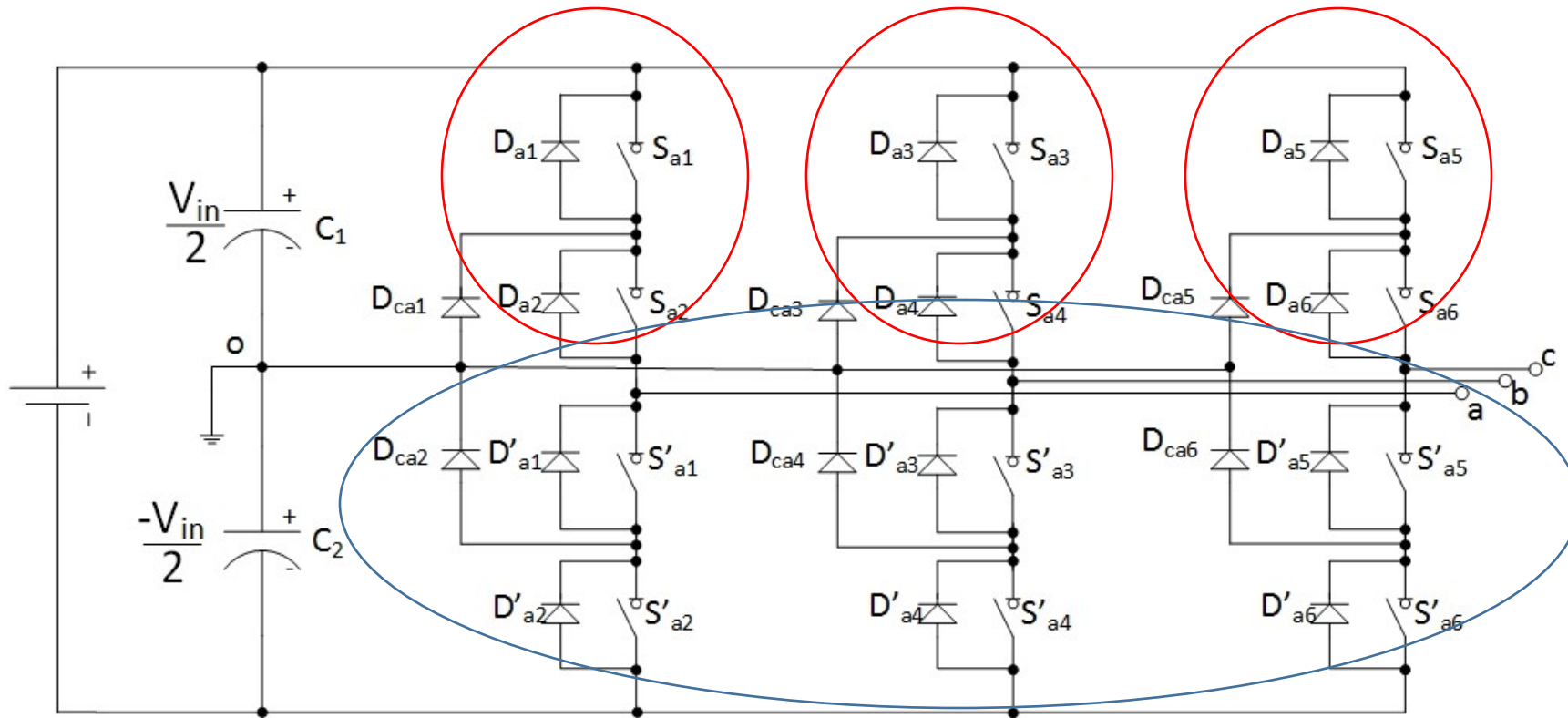
Σύγκριση THD% 2-επιπέδων και 3-επιπέδων



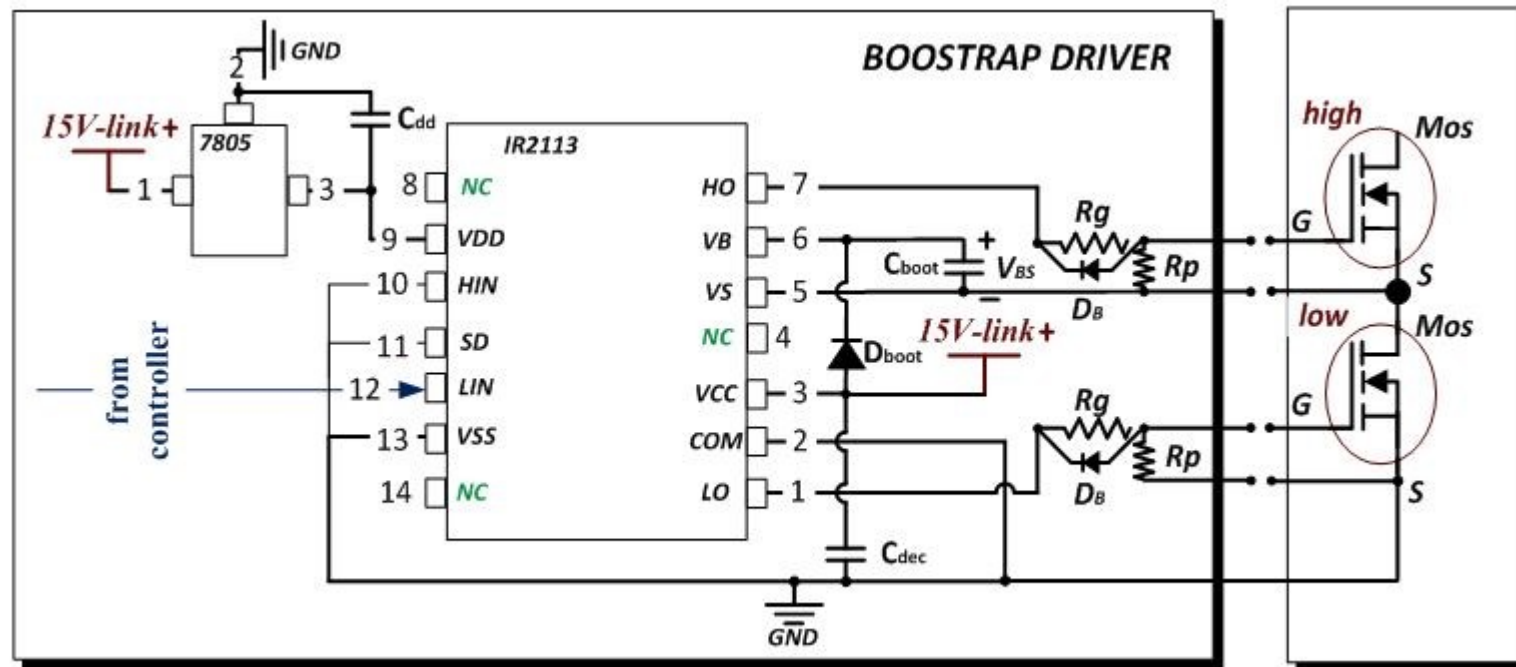
Τριφασικός Αντιστροφέας DCM1



Τριφασικός Αντιστροφέας DCM1

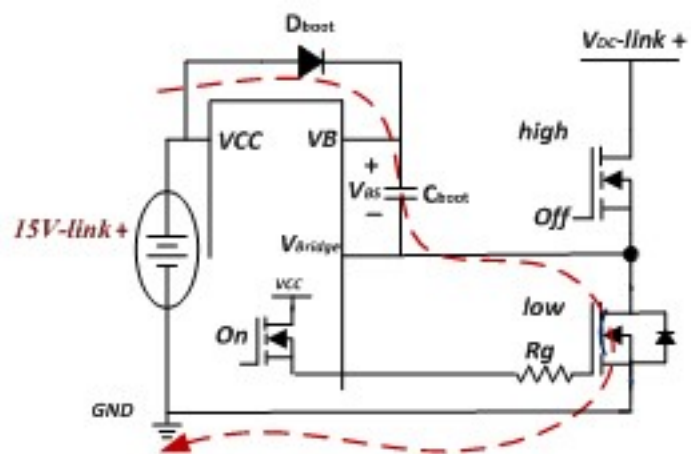


Τεχνική Bootstrap

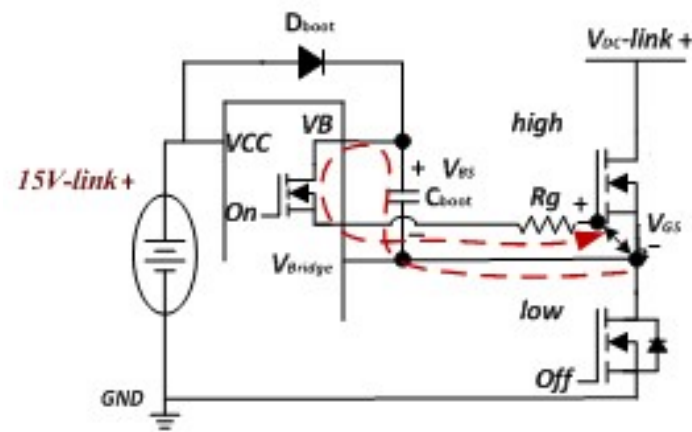


Λειτουργία τεχνικής Bootstrap

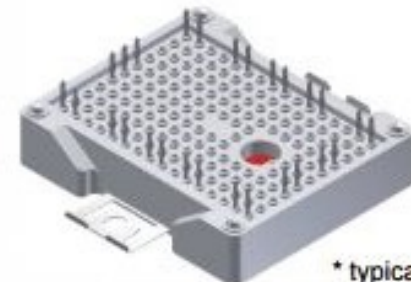
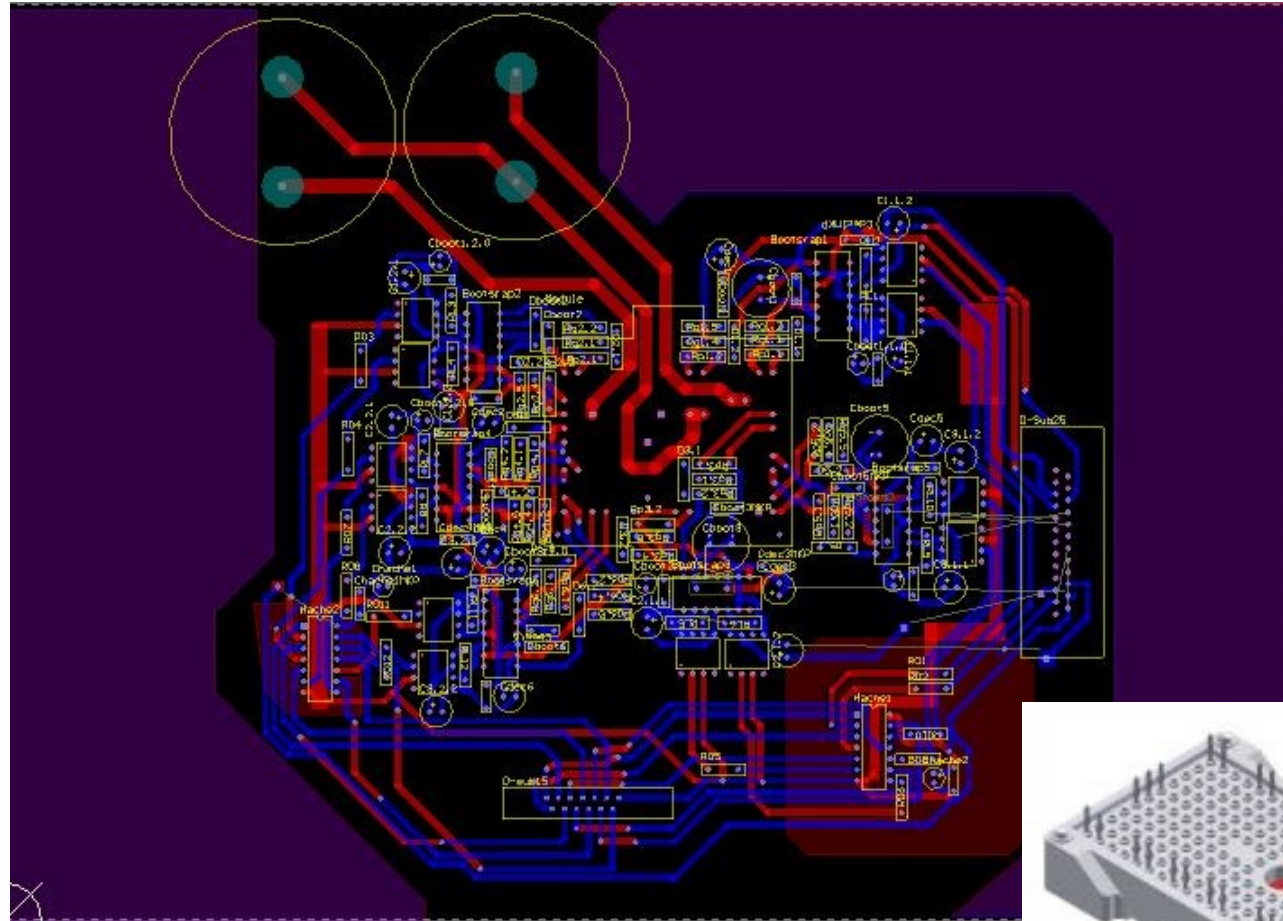
Φόρτιση C_{boot}



Εκφόρτιση C_{boot}

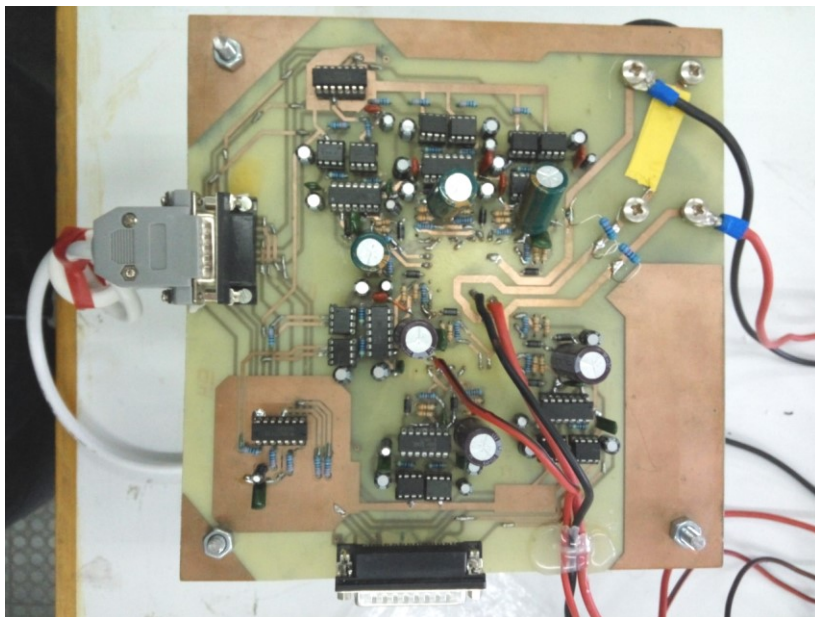


Κατασκευή Αντιστροφέα

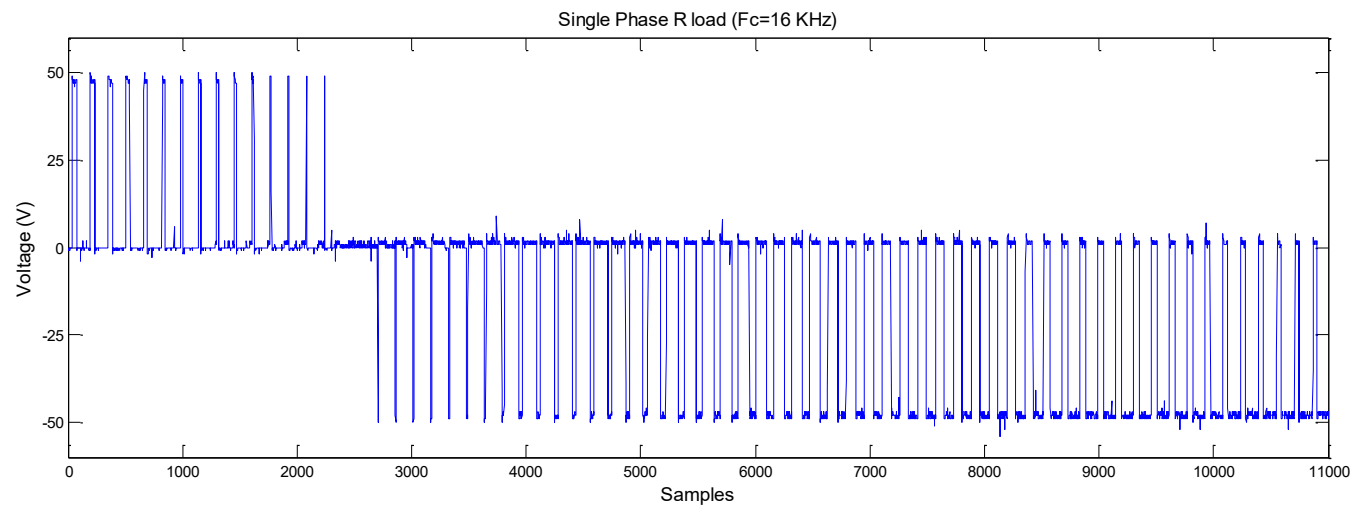
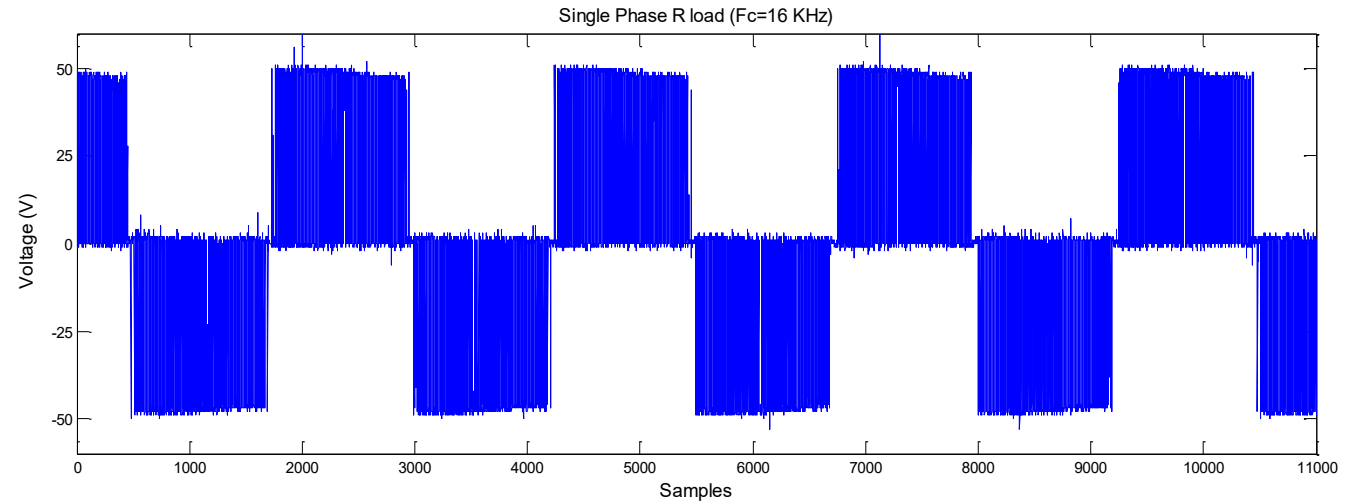


* typical appearance

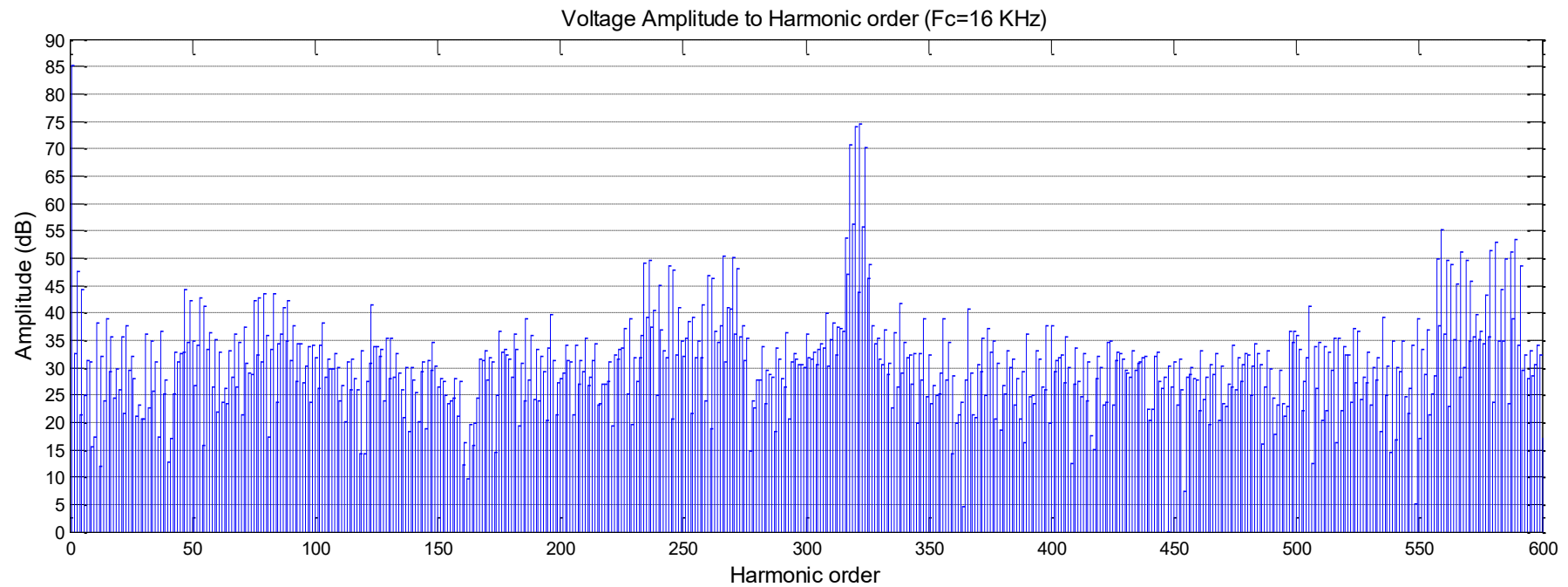
😊 Τελική κατασκευή 😊



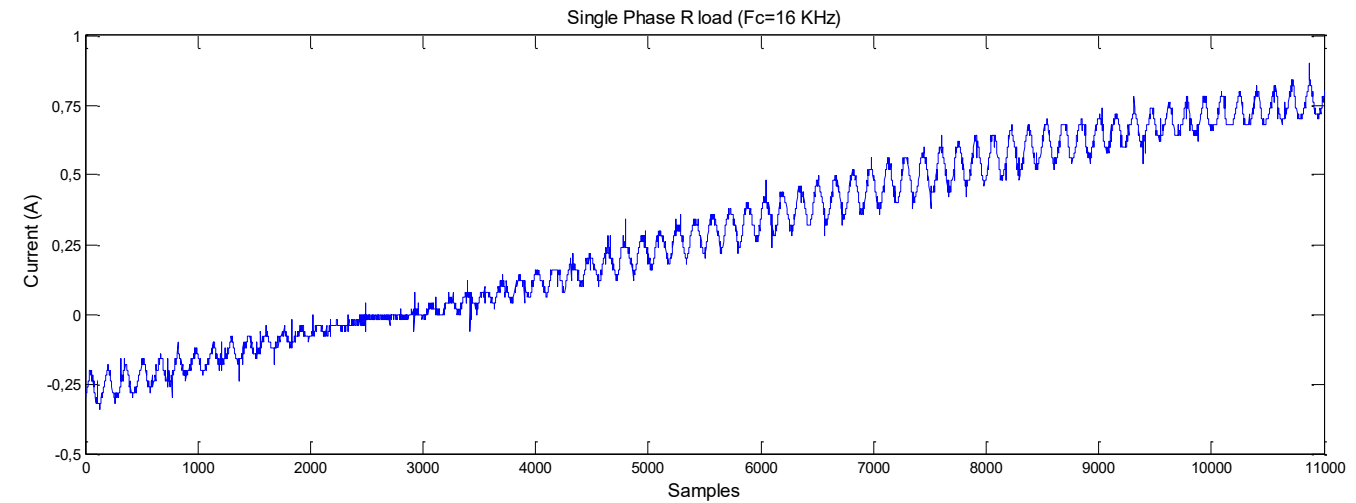
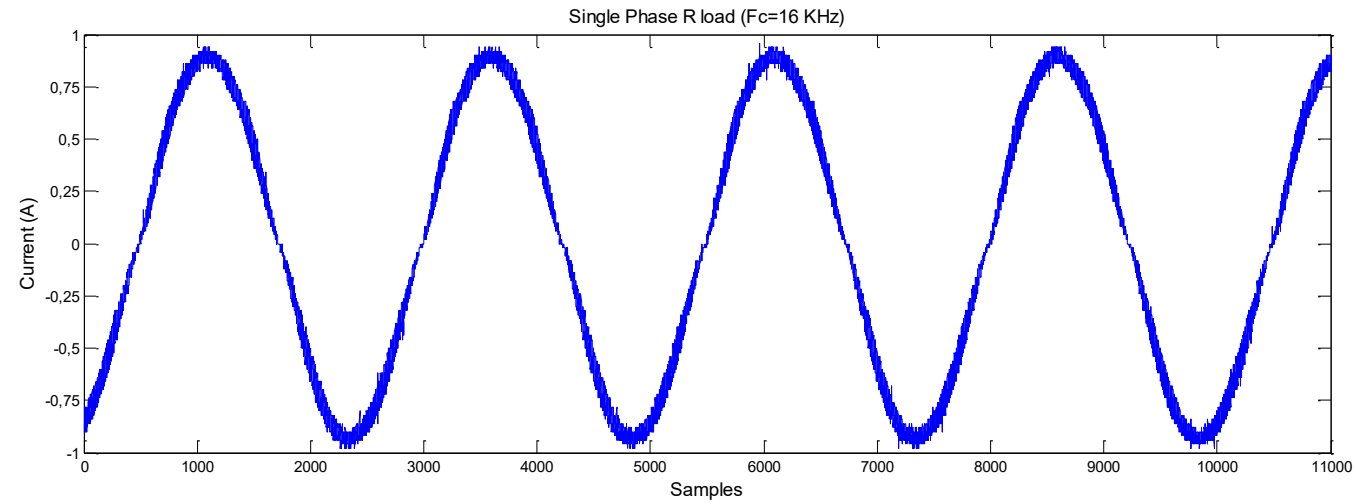
Φασική τάση εξόδου



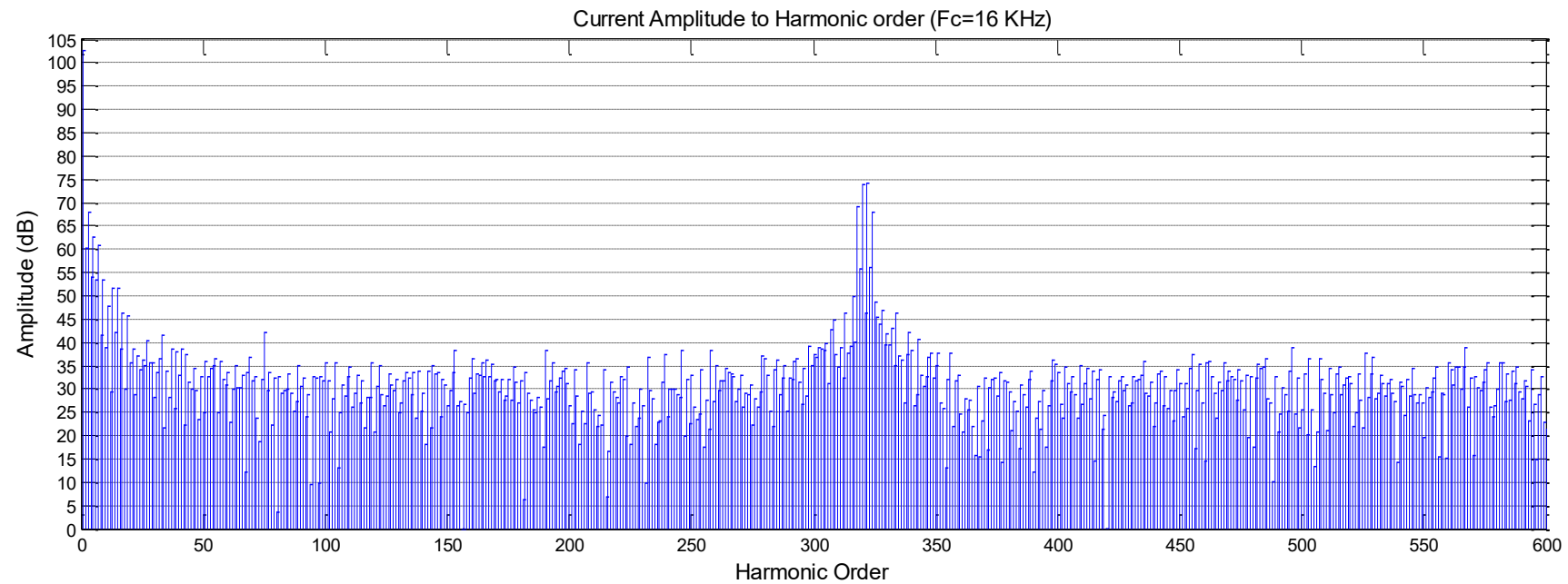
Ανάλυση Fourier στην κυματομορφή φασικής τάσης εξόδου



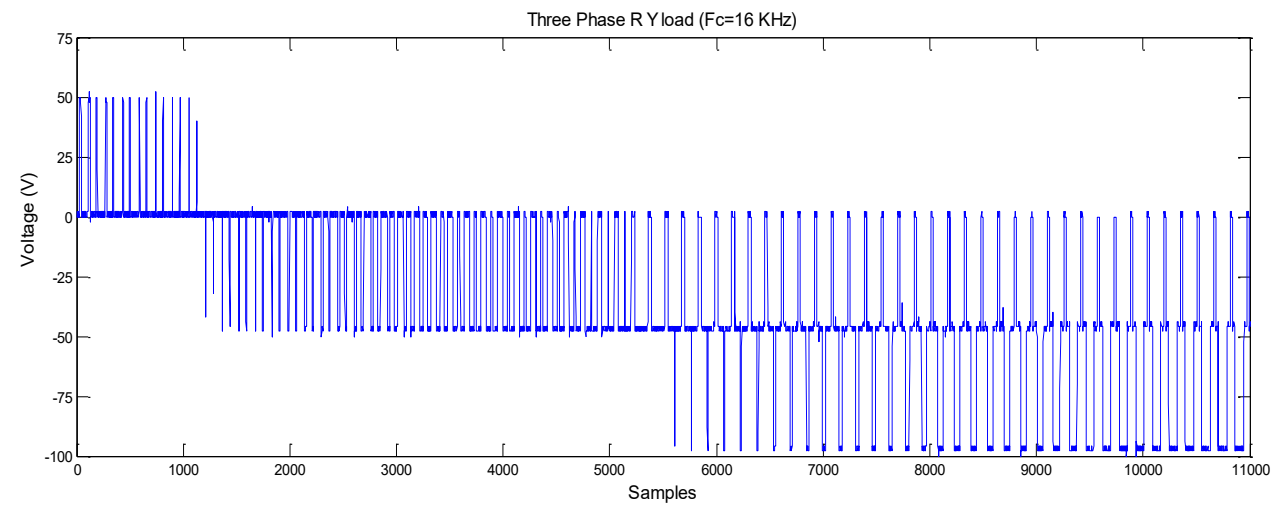
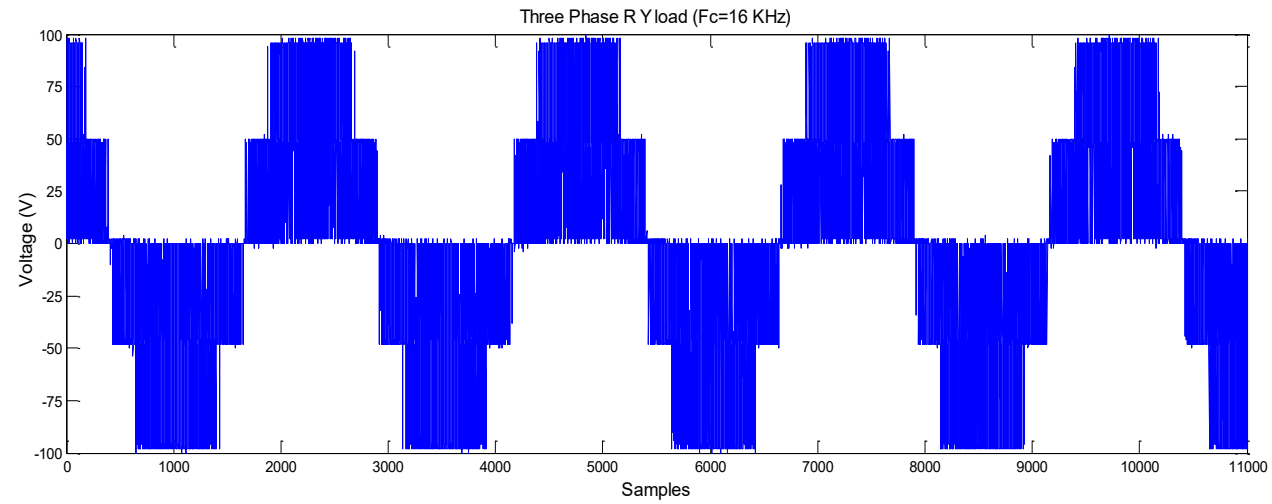
Ρεύμα εξόδου



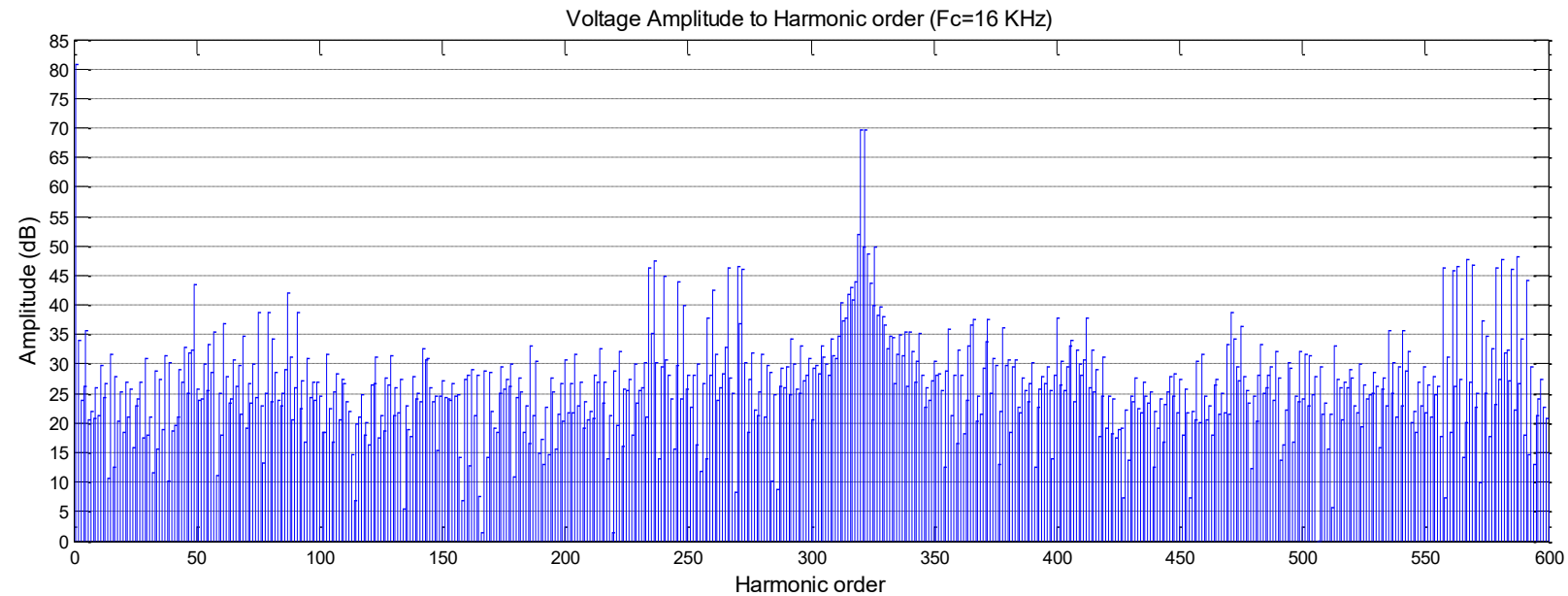
Ανάλυση Fourier στην κυματομορφή ρεύματος εξόδου



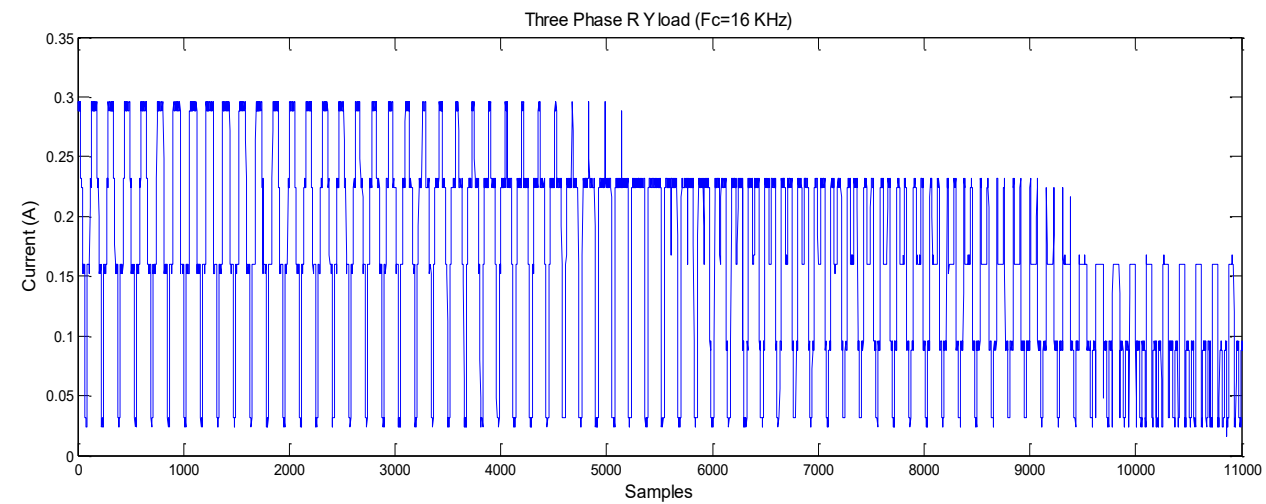
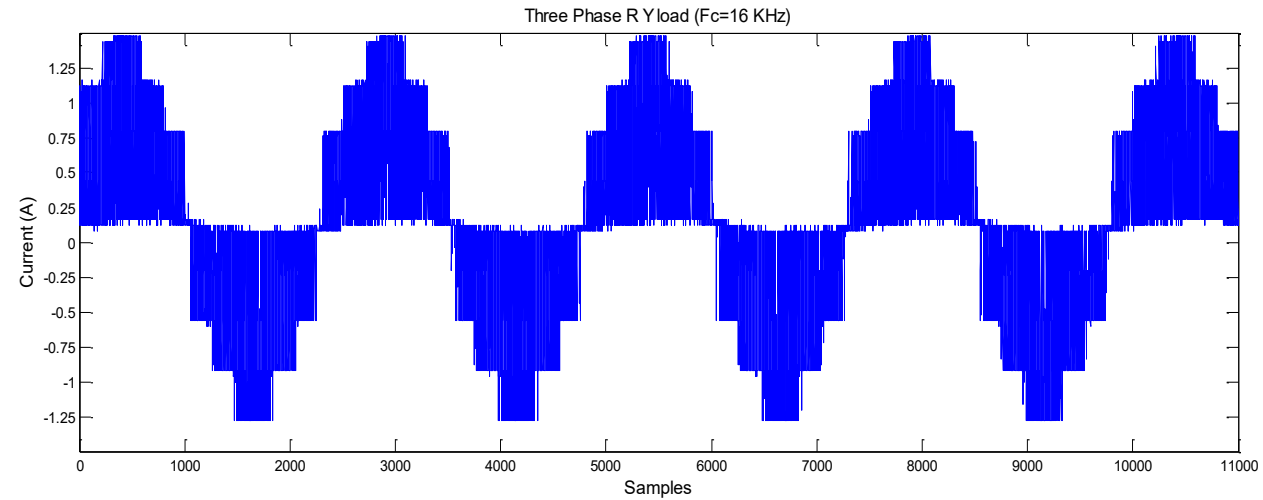
Πολική τάση εξόδου



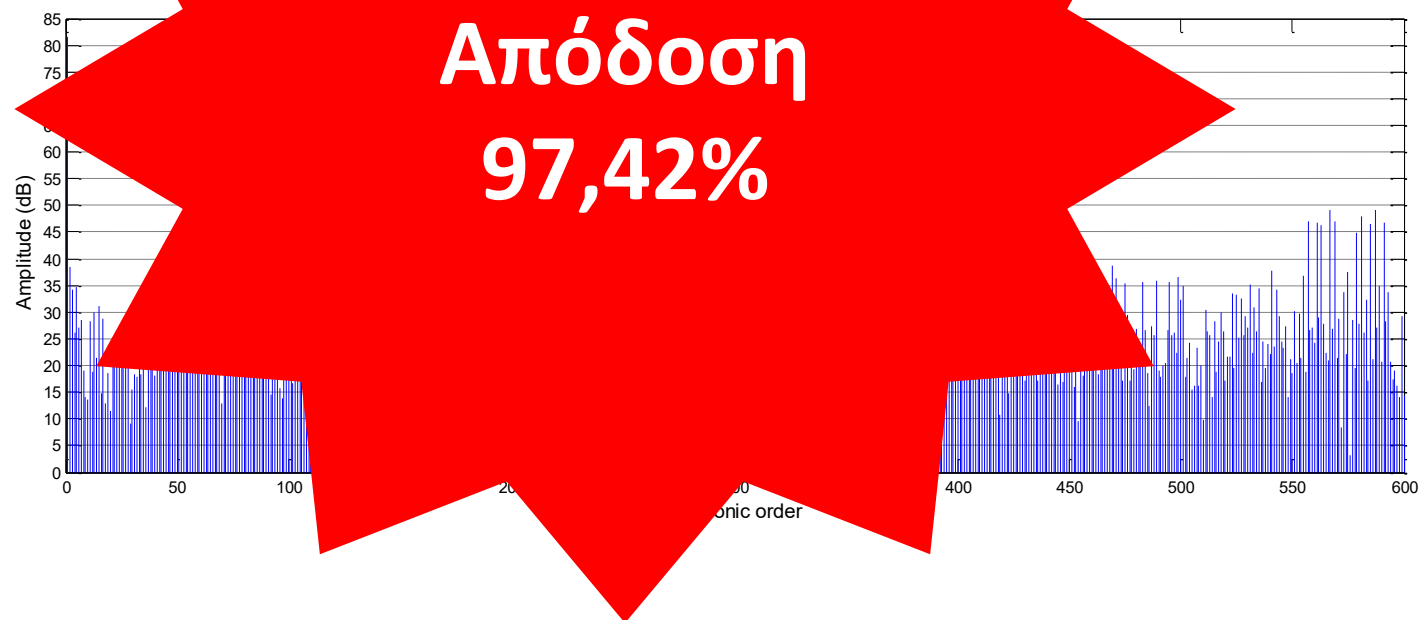
Ανάλυση Fourier στην κυματομορφή πολικής τάσης εξόδου



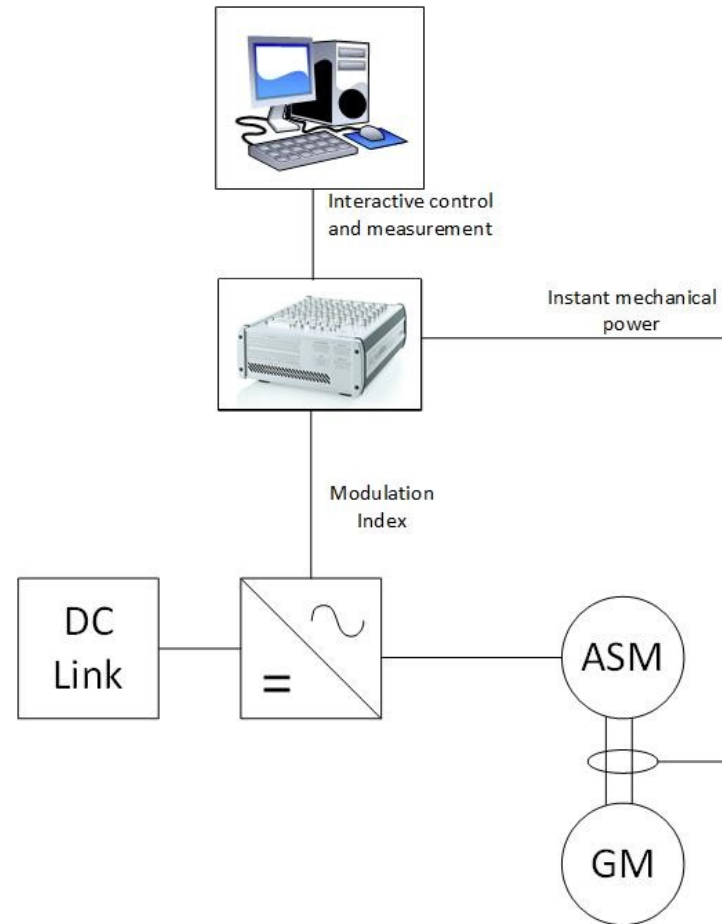
Ρεύμα εξόδου



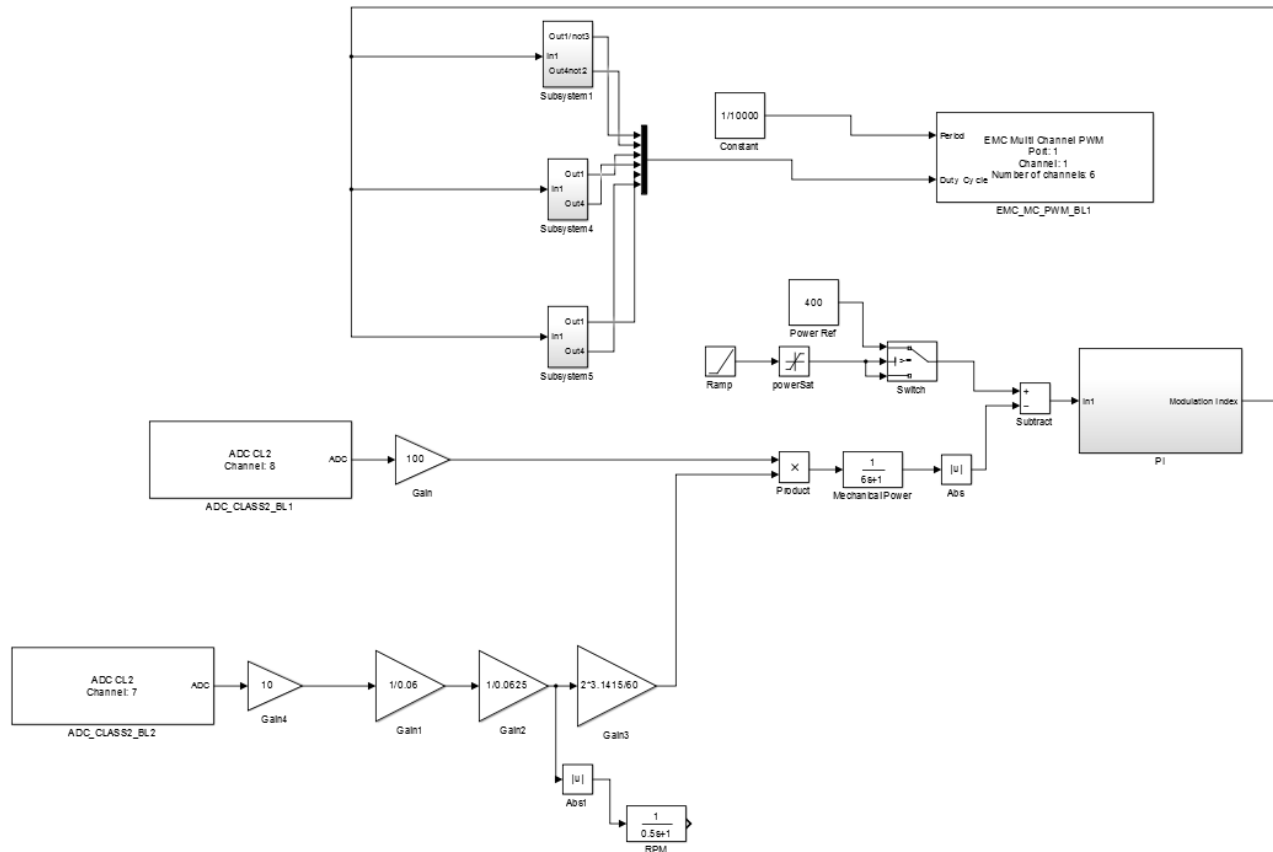
Ανάλυση Fourier στην κυματομορφή ρεύματος εξόδου



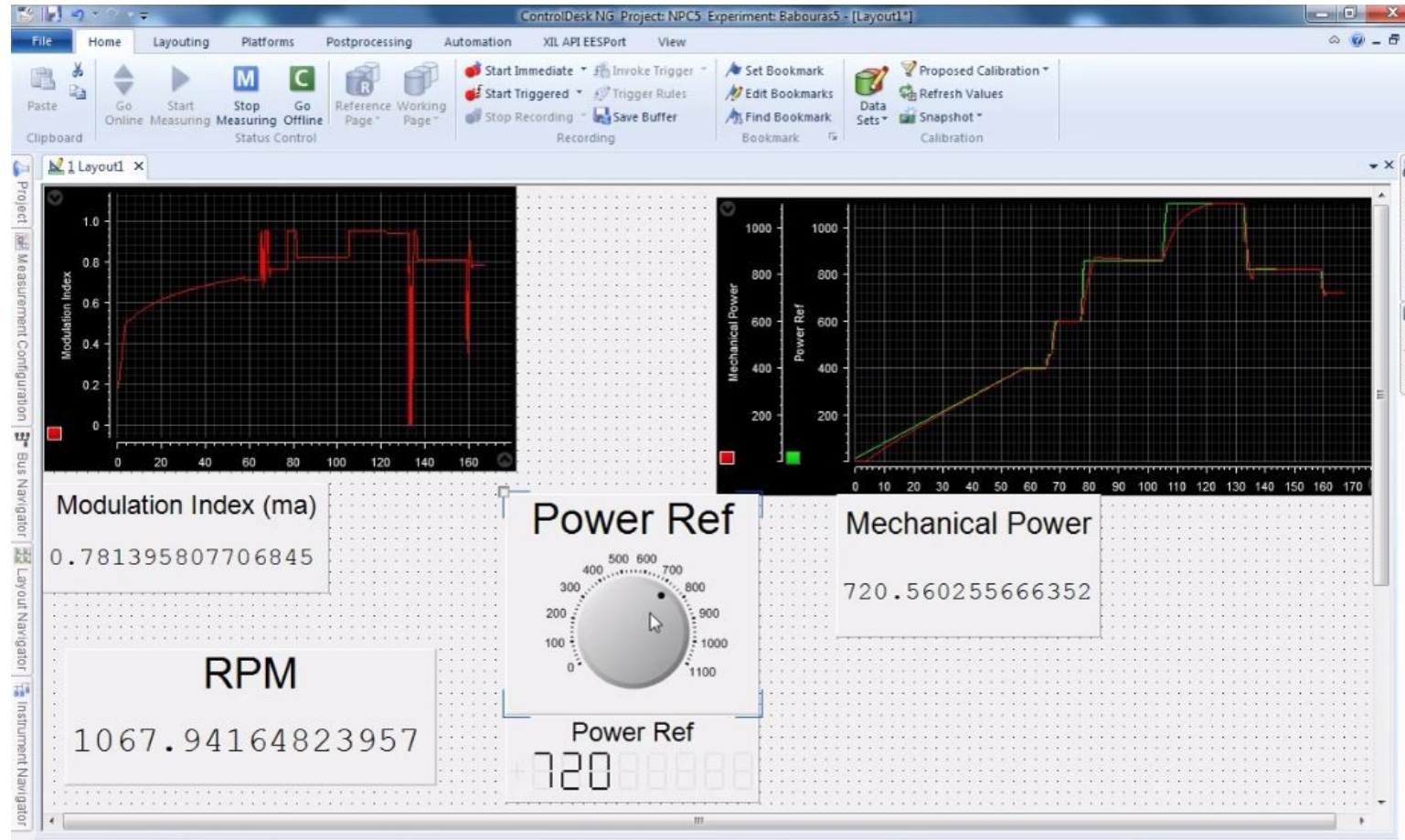
Διάγραμμα πειραματικής διαδικασίας



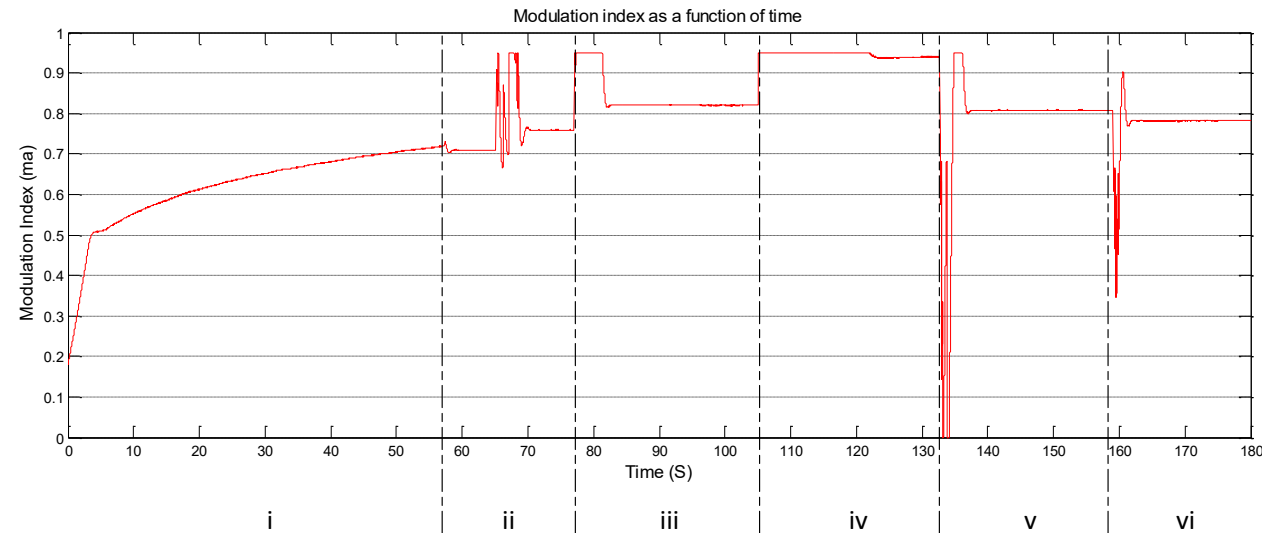
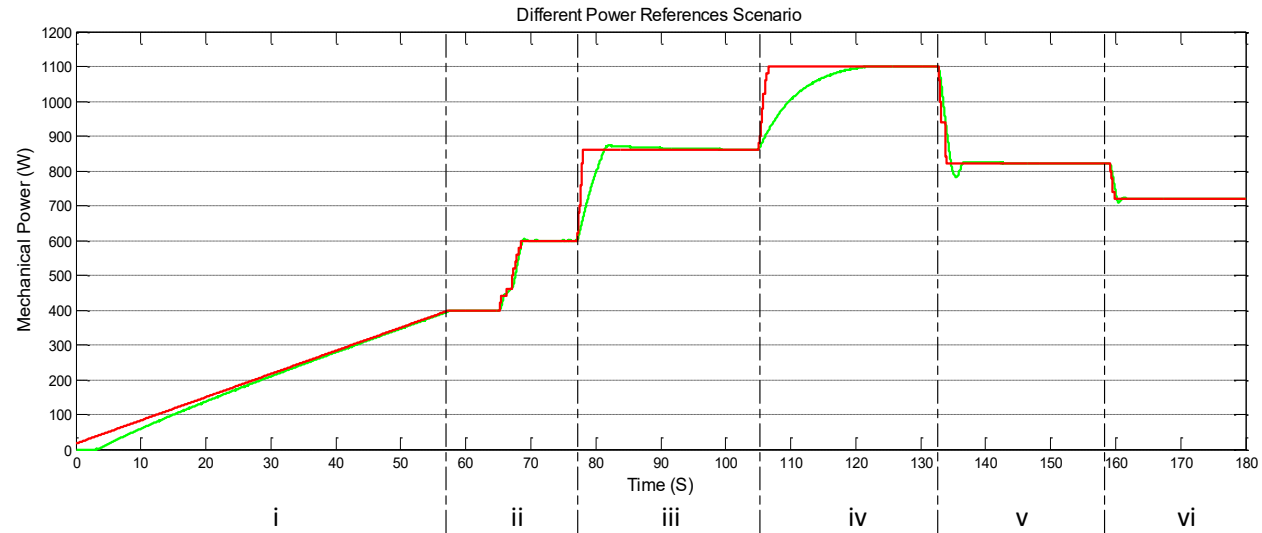
Διάγραμμα ελέγχου επαγωγικού κινητήρα με PI έλεγχο σταθερής ισχύος



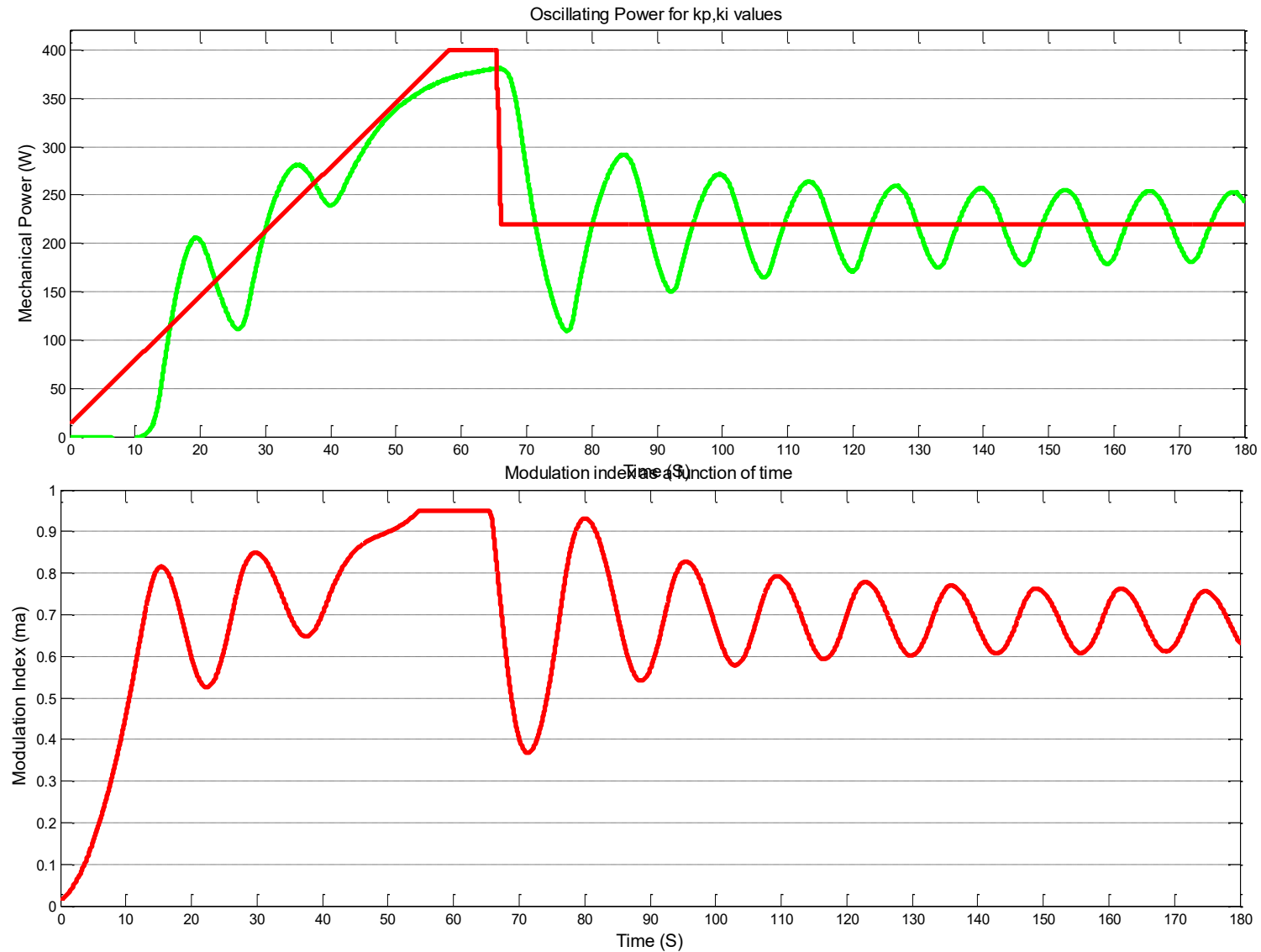
Γραφικό περιβάλλον ελέγχου (λογισμικό της πλατφόρμας d-Space)



Σενάριο λειτουργίας $k_p=k_i=0.001$



Σενάριο λειτουργίας $k_p=0.00001$ $k_i=0.001$



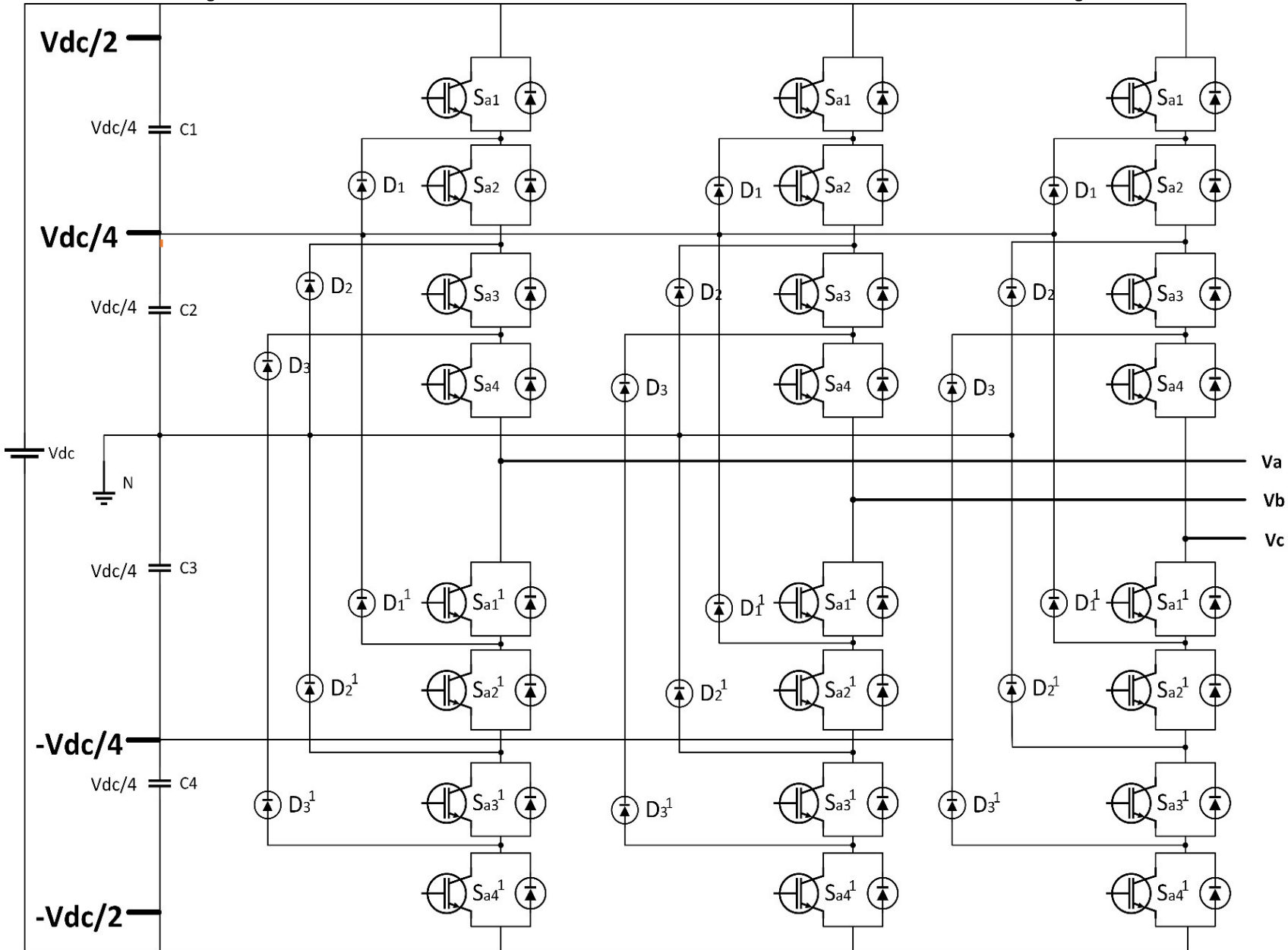
Έγχυση τρίτης αρμονικής

Πίνακας 6.3 Αποτελέσματα τριφασικού αντιστροφέα με την χρήση τρίτης αρμονικής και σύγκριση αποτελεσμάτων χωρίς τη χρήση τρίτης αρμονικής ως προς την βασική αρμονική		
Τεχνική παλμοδότησης αντιστροφέα	Ενεργός τιμή βασικής αρμονικής (V)	THD%
Δίχως την χρήση τρίτης αρμονικής	46.7	41.3027
Με τη χρήση τρίτης αρμονικής	62.11	68.6079

Συμπεράσματα

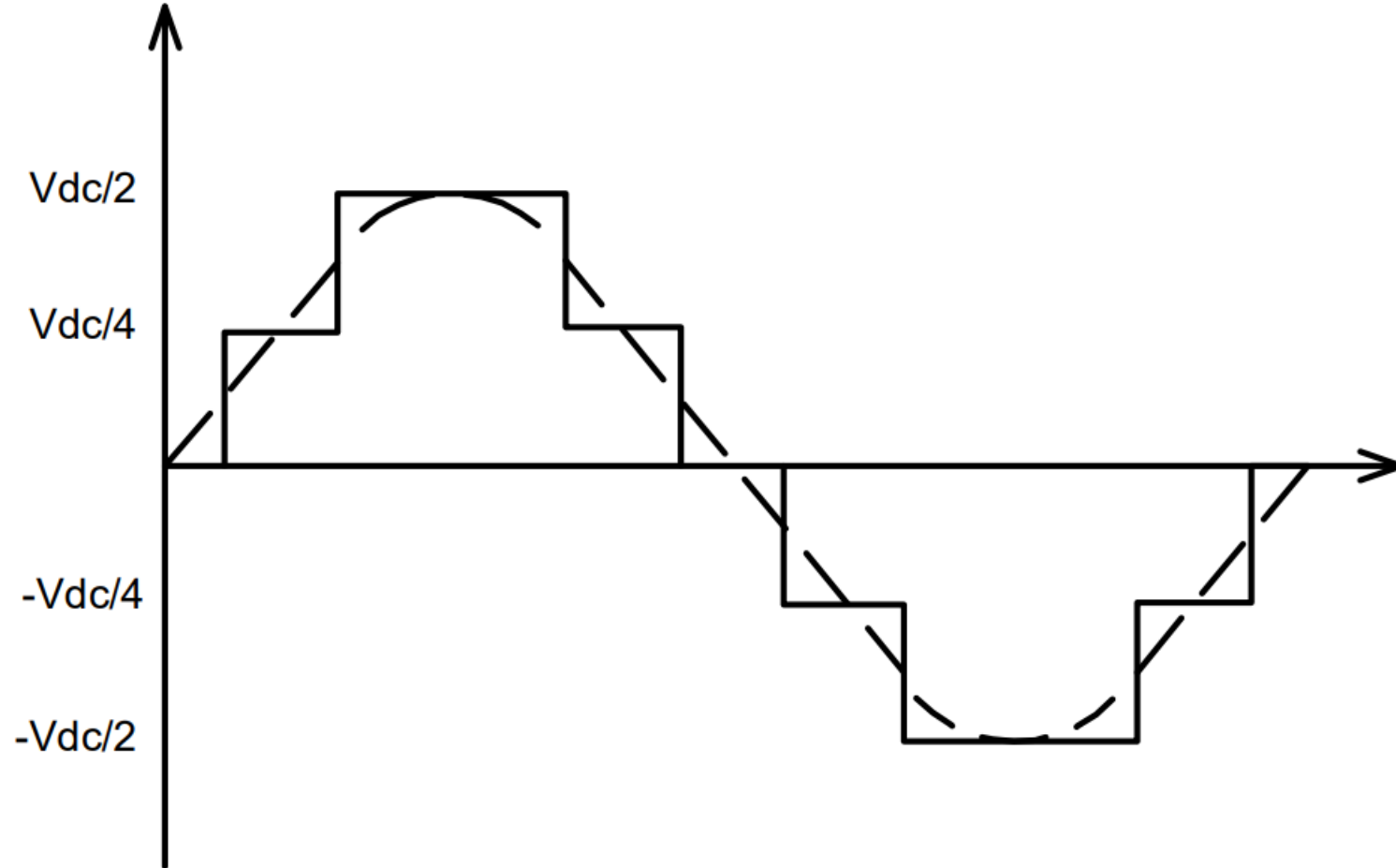
- Υψηλός βαθμός απόδοσης
- Χαμηλότερη αρμονική παραμόρφωση
 - μειώνονται οι απαιτήσεις για μεγάλα σε όγκο και κόστος φίλτρα
 - αυξάνοντας έτσι την πυκνότητα ισχύος
- Με τη χρήση της SPWM οι αρμονικές μετατοπίζονται σε τιμές δεκάδων kHz
- Με τη χρήση της bootstrap τεχνικής επιτυγχάνουμε τα αυθαίρετα δυναμικά

3-phase 5-level diode clamped



V_a / S	$\frac{V_{dc}}{2}$	$\frac{V_{dc}}{4}$	0	$-\frac{V_{dc}}{4}$	$-\frac{V_{dc}}{2}$
S_{a1}	1	0	0	0	0
S_{a2}	1	1	0	0	0
S_{a3}	1	1	1	0	0
S_{a4}	1	1	1	1	0
S_{a1}^1	0	1	1	1	1
S_{a2}^1	0	0	1	1	1
S_{a3}^1	0	0	0	1	1
S_{a4}^1	0	0	0	0	1

3-phase 5-level diode clamped



3-phase 5-level DC-MLI

Applications

- Motor Drives
- Static VAR compensators
- High voltage grid interconnections

Capacitors

- Each of the three-phase outputs of inverter shares a common DC bus voltage that has been divided into five levels over four DC bus capacitors. (C1-C4)
- The voltage across each capacitor is $V_{dc}/4$.
- $N_c = m - 1$ (m=levels)

3-phase 5-level DC-MLI

Switches

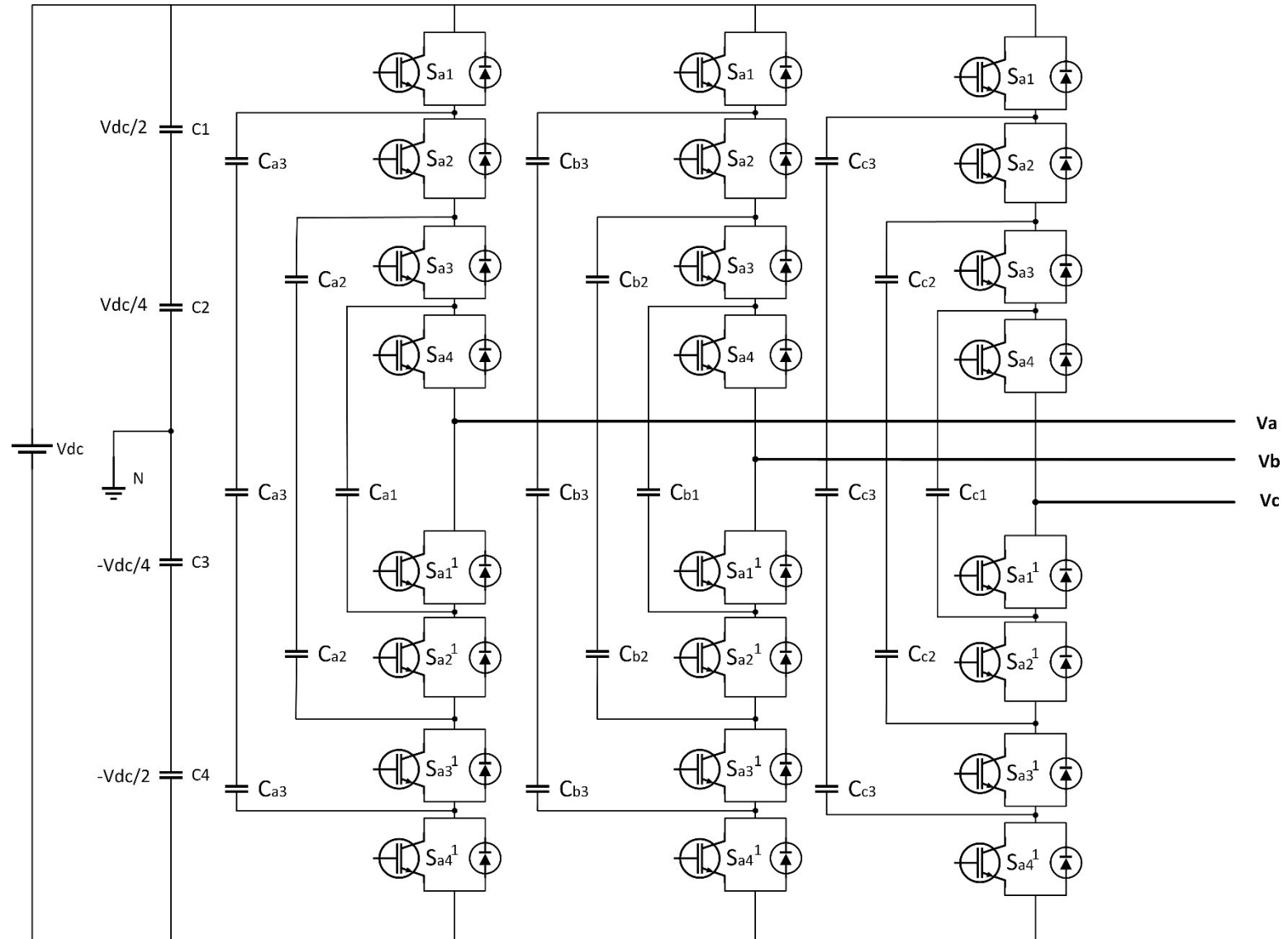
- A set of four switches is ON at any given period of time.
- the voltage stress on each switching device is limited to $V_{dc}/4$ through the clamping diodes.
- Switches= $2(m-1)$
- Free-willing diodes= $2(m-1)$

3-phase 5-level DC-MLI

Clamping Diodes

- The clamping diodes require different voltage ratings for reverse voltage-blocking due to each triggered switch is only required to block a voltage level of $V_{dc}/(m - 1)$. *By assuming the switches from S_{a1} to S_{a4} are triggered, $D1$ blocking diode needs to block a voltage at the rate of $3V_{dc}/4$ that is generated by three DC bus capacitors.*
- If the inverter is designed such that each blocking diode has the same voltage rating as the active switches, D_n will require n diodes in series; consequently, the number of diodes required for each phase would be $(m-1) \times (m-2)$. *(the number of blocking diodes is quadratically related to the number of levels in a diode-clamped converter)*

3-phase 5-level Flying Capacitor MLI



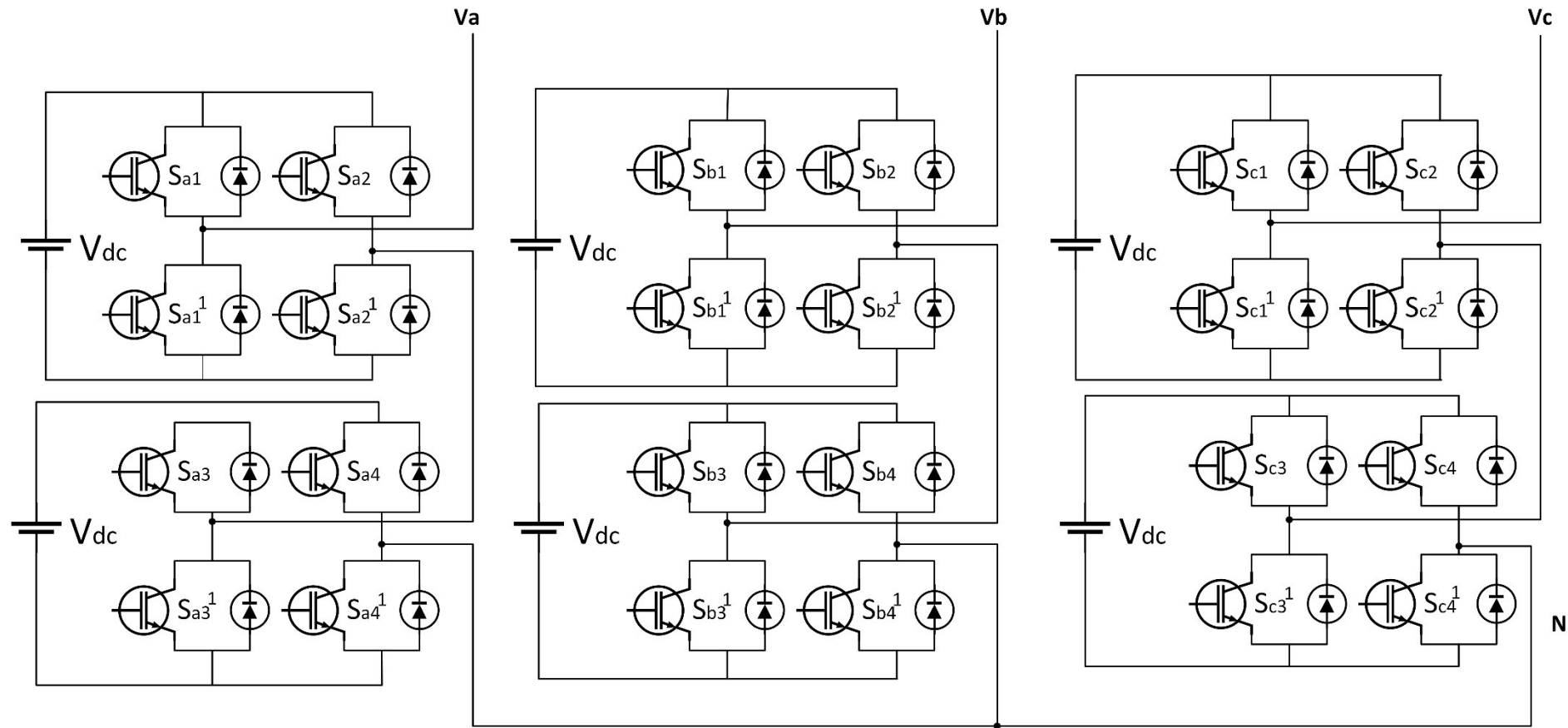
3-phase 5-level Flying Capacitor MLI

	S_{a1}	S_{a2}	S_{a3}	S_{a4}	S_{a1}^1	S_{a2}^1	S_{a3}^1	S_{a4}^1
$V_{dc}/2$	1	1	1	1	0	0	0	0
$V_{dc}/4$	1	1	1	0	1	0	0	0
	0	1	1	1	0	0	0	1
	1	0	1	1	0	0	1	0
0	1	1	0	0	1	1	0	0
	0	0	1	1	0	0	1	1
	1	0	1	0	1	0	1	0
	1	0	0	1	0	1	0	1
	0	1	0	1	0	1	0	1
	0	1	1	0	1	0	0	1
$-V_{dc}/4$	1	0	0	0	1	1	1	0
	0	0	0	1	0	1	1	1
	0	0	1	0	1	0	1	1
$-V_{dc}/2$	0	0	0	0	1	1	1	1

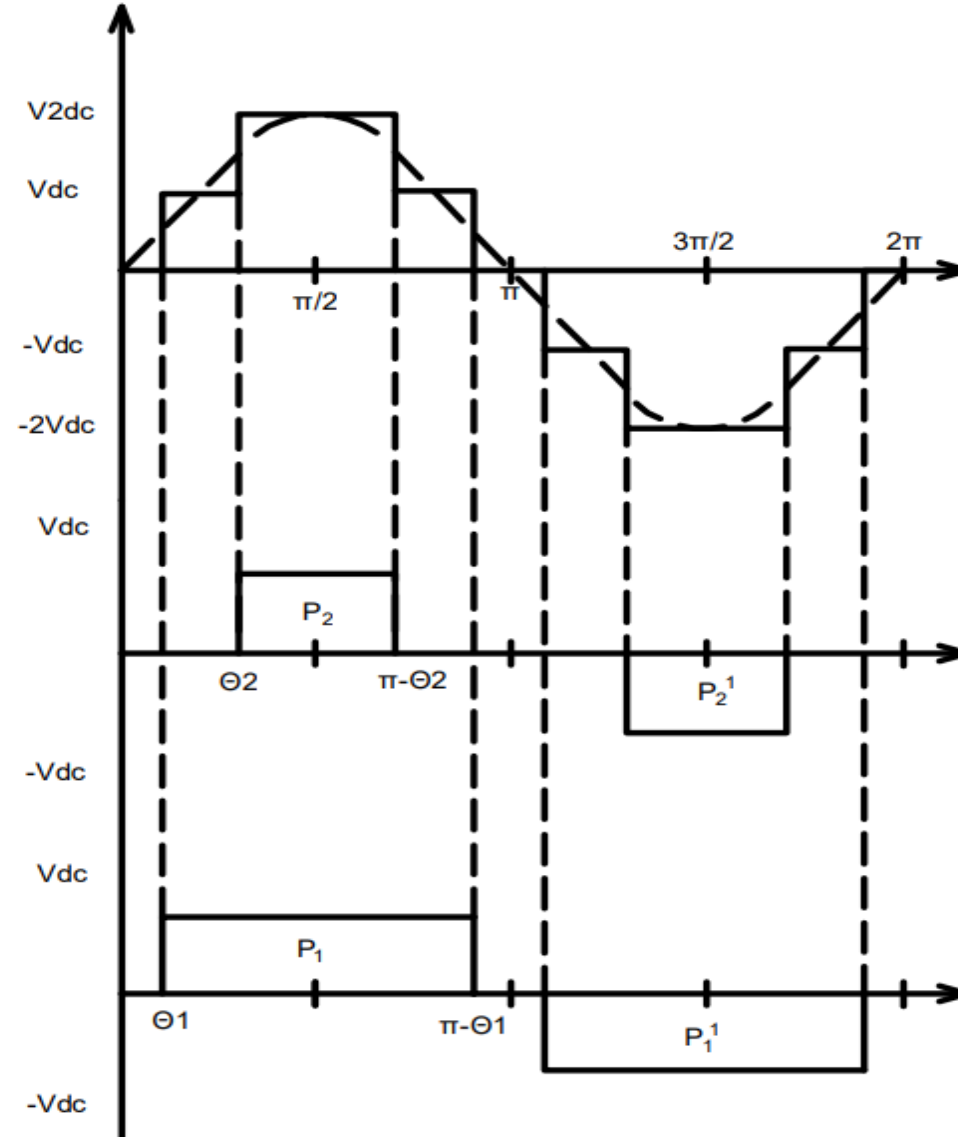
Flying Capacitor MLI (FC-MLI)

- The FC-MLIs are based on balancing capacitors on phase buses and generate multilevel output voltage waveforms clamped by capacitors instead of diodes.
- In an m level structure, the FC-MLIs require $(m-1)$ DC link capacitors and $(m-1) \times (m-2) / 2$ auxiliary capacitors per phase.
- The auxiliary capacitors (Ca_1 , Ca_2 , and Ca_3) are pre-charged to the voltage level of $V_{dc}/4$.
- Depending on what state is chosen the capacitors can charge or discharge each other, making it possible to balance the charge in the capacitors with control methods

3-phase 5-level Cascaded H-bridge MLI



Cascaded H-Bridge MLI (CHB-MLI)

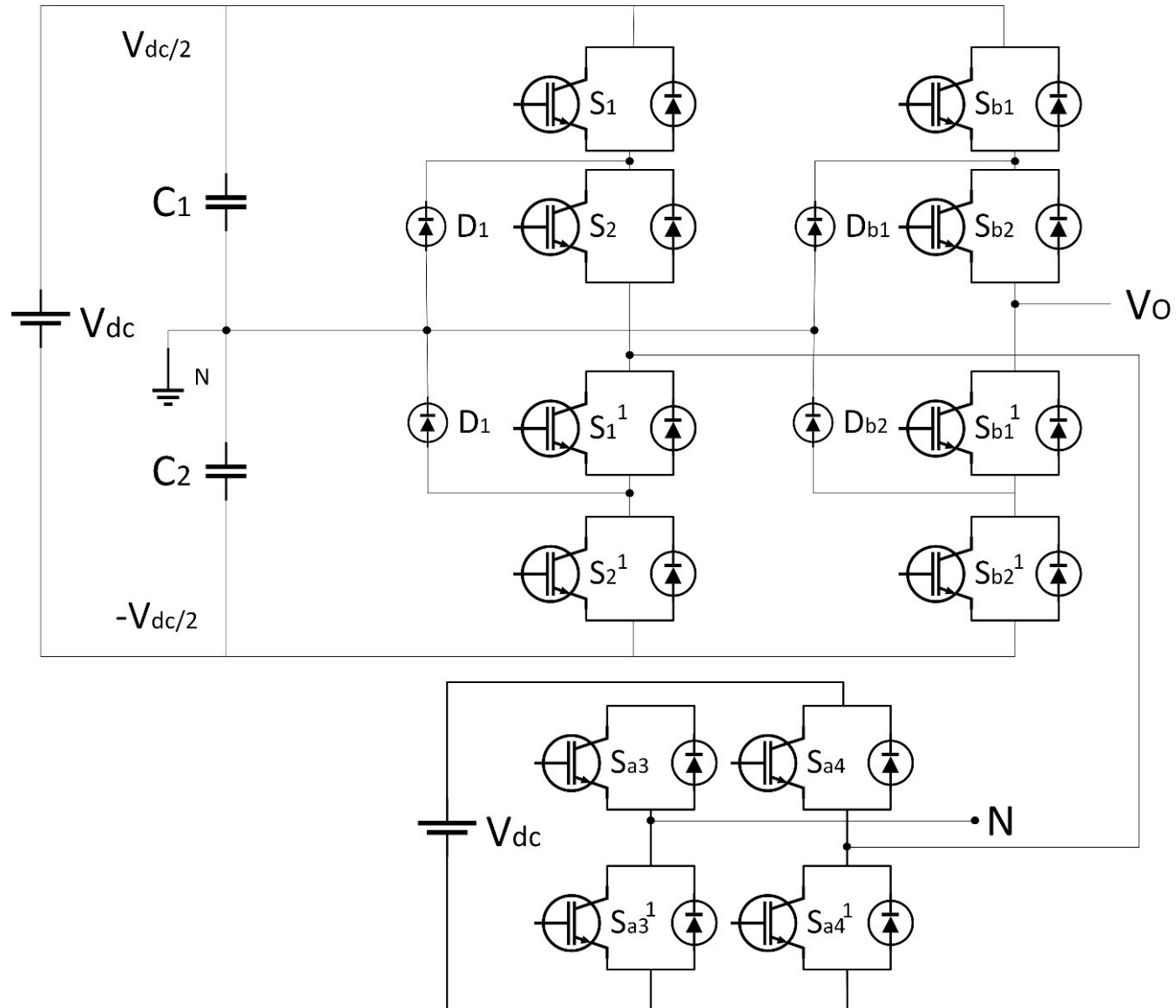


Cascaded H-Bridge MLI (CHB-MLI)

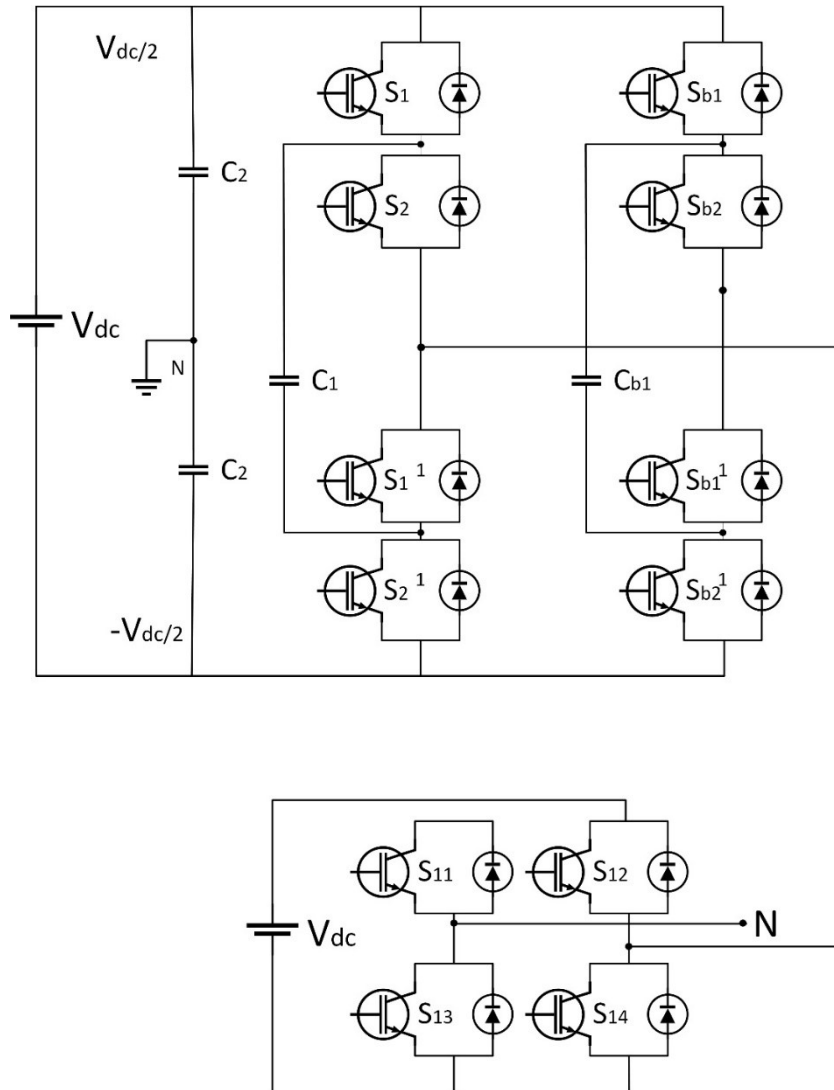
- CHB MLI has the least components for a given number of levels.
- They are used with fuel cells or photovoltaic arrays connecting with the AC grid and for power factor correction.
- CHB-MLI consists of a series of H-bridge cells to synthesize a desired voltage from several separate DC sources which may be obtained from batteries or fuel cells and they must be isolated from each other.
- $m=2n+1$ (m =levels, n =bridges)
- $Sw=3^m$ (sw-switching states)

$$V(\omega t) = \frac{4V_{dc}}{\pi} \sum_{n=1,3,5\dots}^{\infty} [\cos(n\theta_1) + \cos(n\theta_2) + \dots + \cos(n\theta_5)] \frac{\sin(n\omega t)}{n}$$

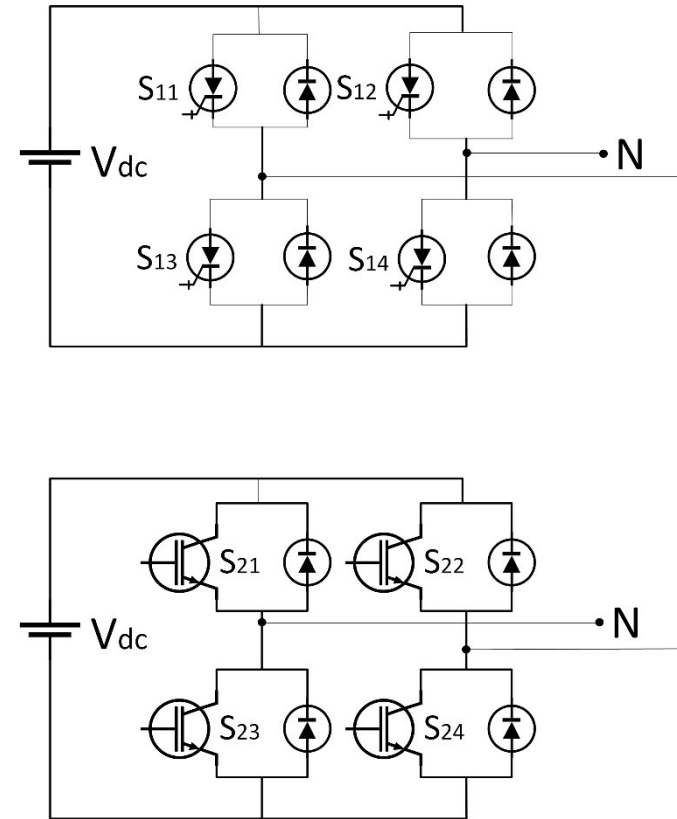
Asymmetric hybrid MLI (DC-MLI & CHB-MLI)



FC-MLI & CHB-MLI



Asym. Hybrid CHB-MLI

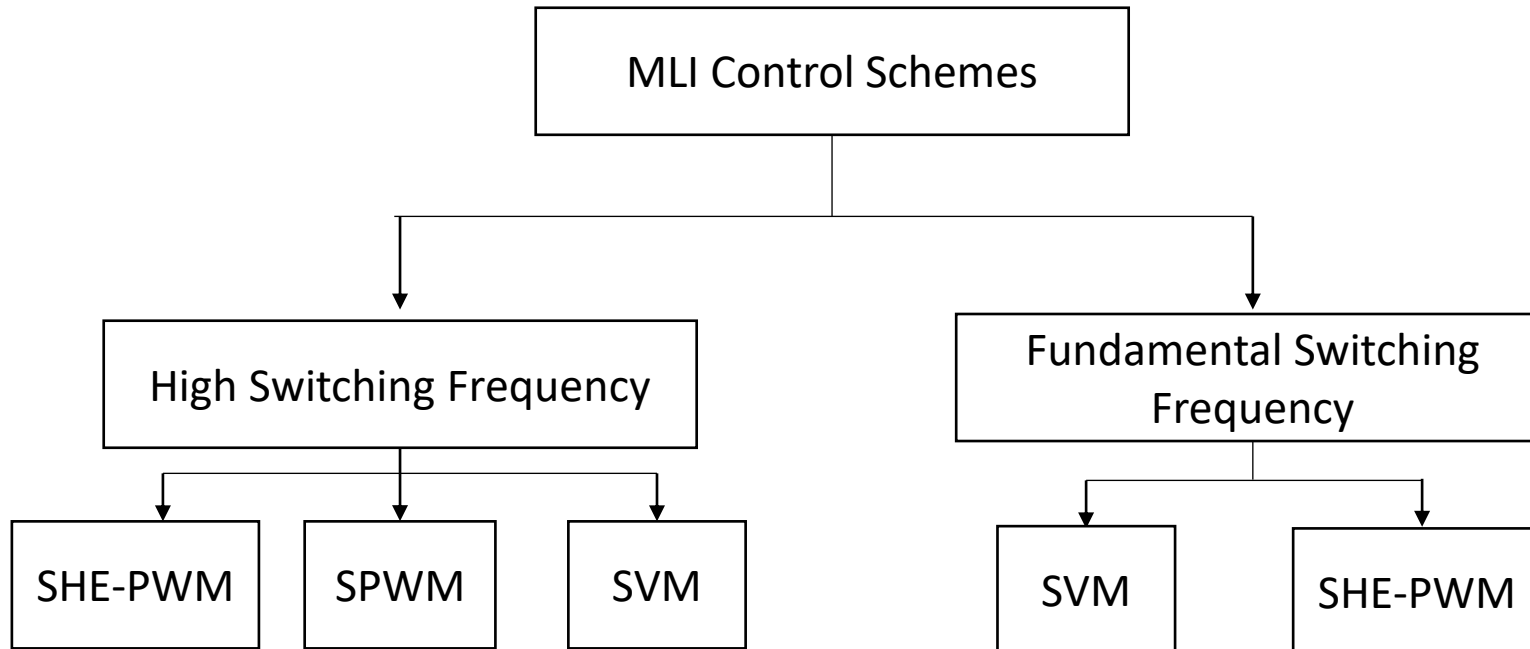


Asymmetric hybrid MLI

- The asymmetric hybrid MLIs synthesize the output voltage waveforms with reduced harmonic content.
- Conventional PWM strategies, which generate high order harmonic components (due to the switching frequency) are not appropriate for AH-MLIs.
- DC-MLI & CHB-MLI requires a large LC output filter in motor drive applications.
- FC-MLI & CHB-MLI obviates filtering requirements proportionally to DC-MLI

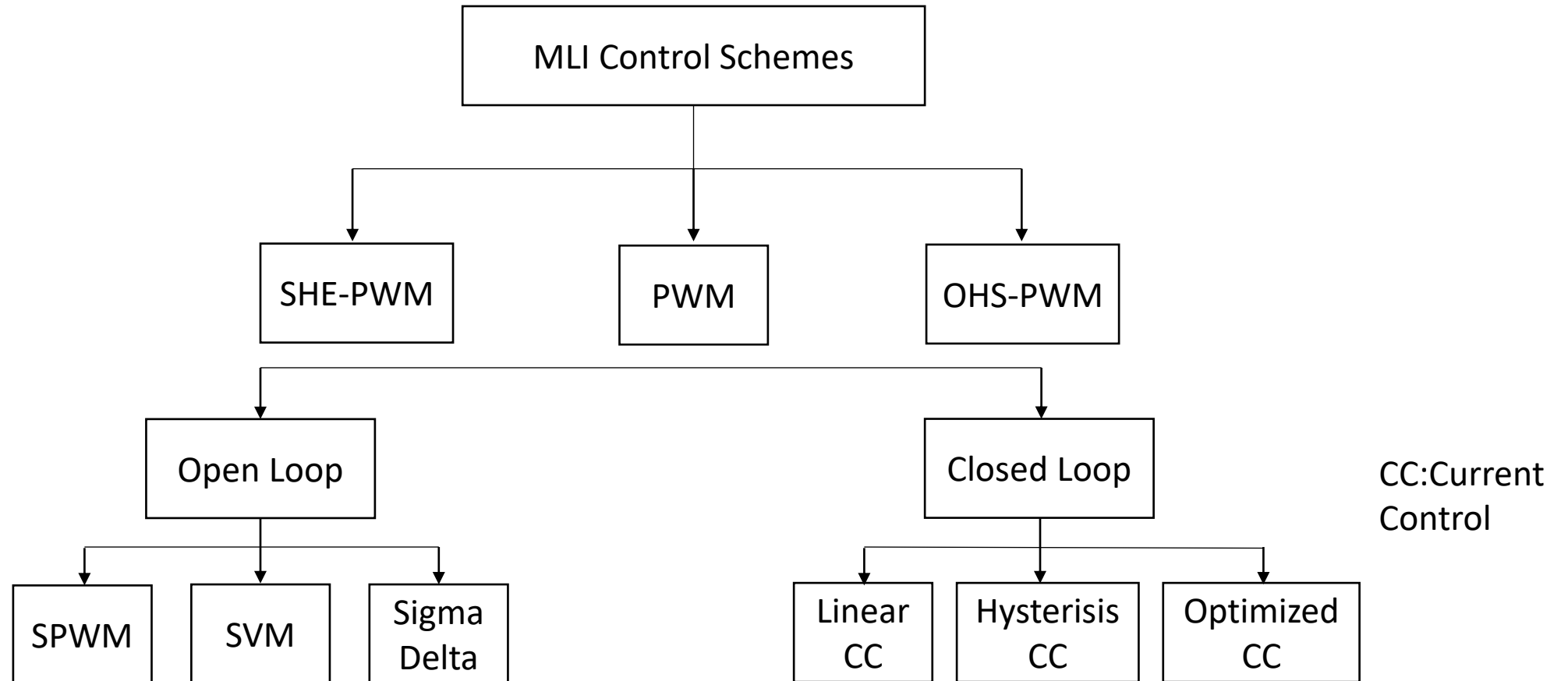
Modulation and control for MLI

- Selective harmonic elimination PWM (SHE-PWM)
- Sinusoidal PWM (SPWM)
- Space Vector (SPWM)



Modulation and control for MLI

Classification depending upon Open-Closed Loop



Selective Harmonic Elimination PWM (SHE-PWM)

SHE-PWM is the fundamental switching frequency scheme that is used to eliminate specific order harmonics by placing notches in the output waveform at proper locations.

Due to pre-defined calculations are required, SHE-PWM is not an appropriate solution for closed loop implementation and dynamic operation in MLIs.

$$V(\omega t) = \frac{4V_{dc}}{\pi} \sum_{n=1,3,5...}^{\infty} [\cos(n\theta_1) + \cos(n\theta_2) + \dots + \cos(n\theta_5)] \frac{\sin(n\omega t)}{n}$$

Selective Harmonic Elimination PWM (SHE-PWM)

Example: Output voltage Fourier expansion of an 11-level inverter

$$V(\omega t) = \frac{4V_{dc}}{\pi} \sum_{n=1,3,5,\dots}^{\infty} [\cos(n\theta_1) + \cos(n\theta_2) + \dots + \cos(n\theta_5)] \frac{\sin(n\omega t)}{n}$$

n: harmonic order

The required switching angles to eliminate 5th, 7th, 11th, and 13th harmonic orders can be calculated:

$$\cos(\theta_1) + \cos(\theta_2) + \dots + \cos(\theta_5) = 5 \cdot m_a$$

$$\cos(5\theta_1) + \cos(5\theta_2) + \dots + \cos(5\theta_5) = 0$$

$$\cos(7\theta_1) + \cos(7\theta_2) + \dots + \cos(7\theta_5) = 0$$

$$\cos(11\theta_1) + \cos(11\theta_2) + \dots + \cos(11\theta_5) = 0$$

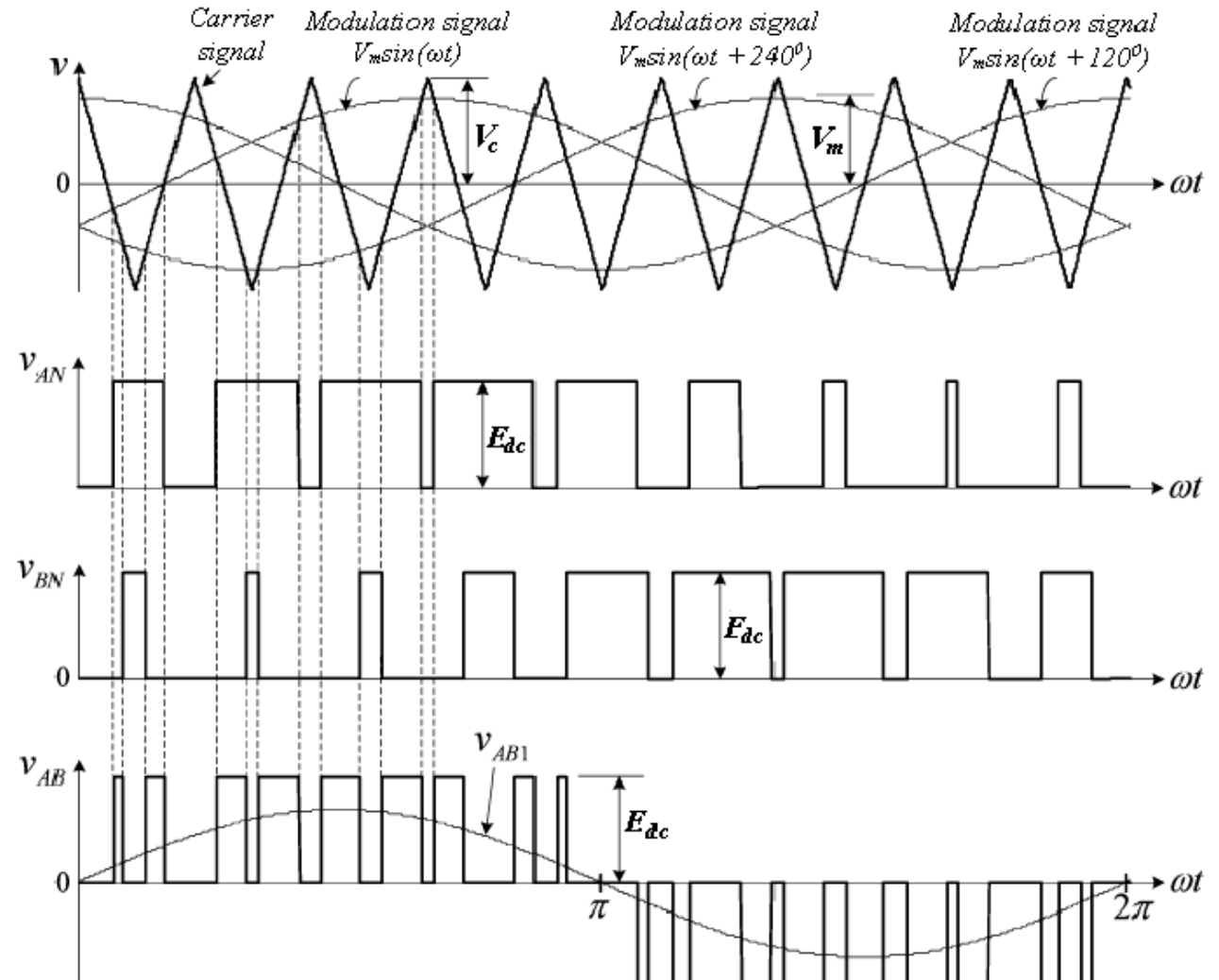
$$\cos(13\theta_1) + \cos(13\theta_2) + \dots + \cos(13\theta_5) = 0$$

Selective Harmonic Elimination PWM (SHE-PWM)

- The switching angles of $\theta_1, \theta_2, \dots, \theta_5$ can be determined to minimize voltage THD ratio.
- m_a defines the modulation index of modulator.
- The values are obtained using Newton–Raphson Iterations, since parameters are nonlinear.
- The switching angles can be obtained at the values of $\theta_1 = 6.57^\circ$, $\theta_2 = 18.94^\circ$, $\theta_3 = 27.18^\circ$, $\theta_4 = 45.14^\circ$ and $\theta_5 = 62.24^\circ$ by assuming m_a equal to 0.8 and solving with Newton–Raphson Iteration.

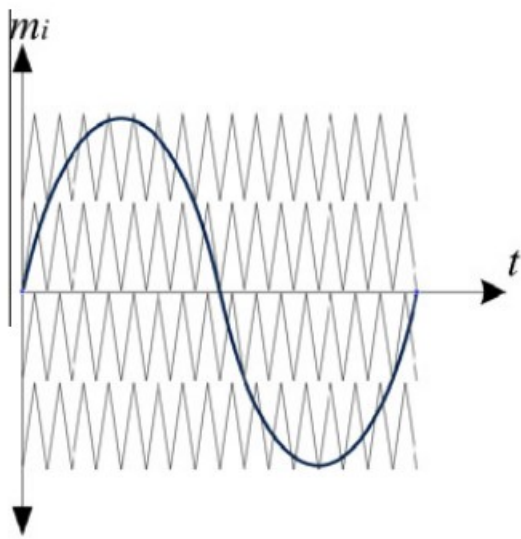
Open Loop-Sinusoidal PWM (SPWM)

- Is most used for the control of MLI in industrial applications.
- A sinusoidal reference voltage waveform is compared with a triangular carrier waveform to generate gate signals for the switches of inverter.

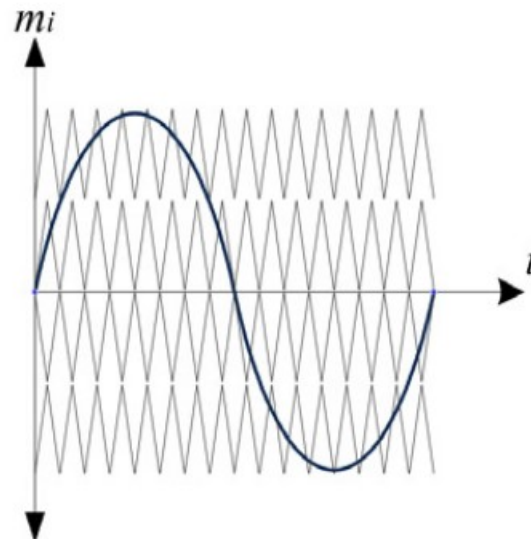


Open Loop-Sinusoidal PWM (SPWM)

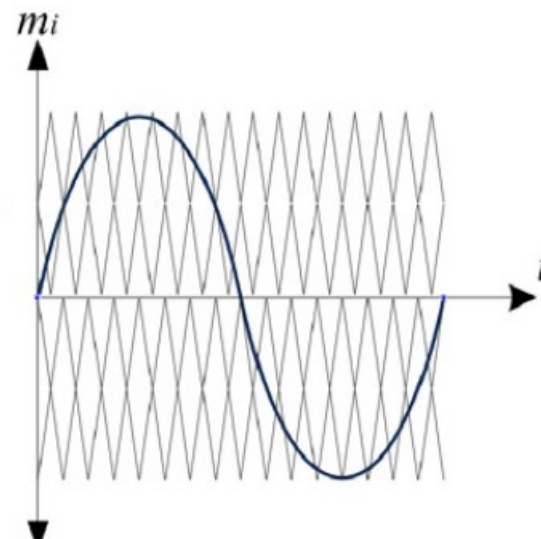
The vertical carrier distribution techniques are defined as Phase Dissipation (PD), Phase Opposition Dissipation (POD), and Alternative Phase Opposition Dissipation (APOD), while horizontal arrangement is known as phase shifted (PS) control technique.



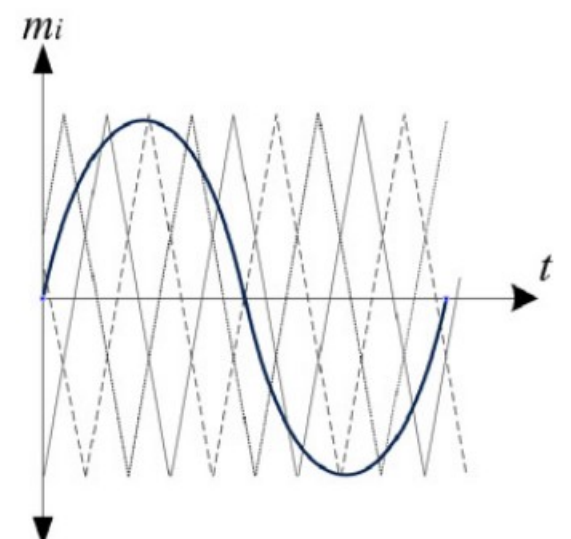
PD



POD

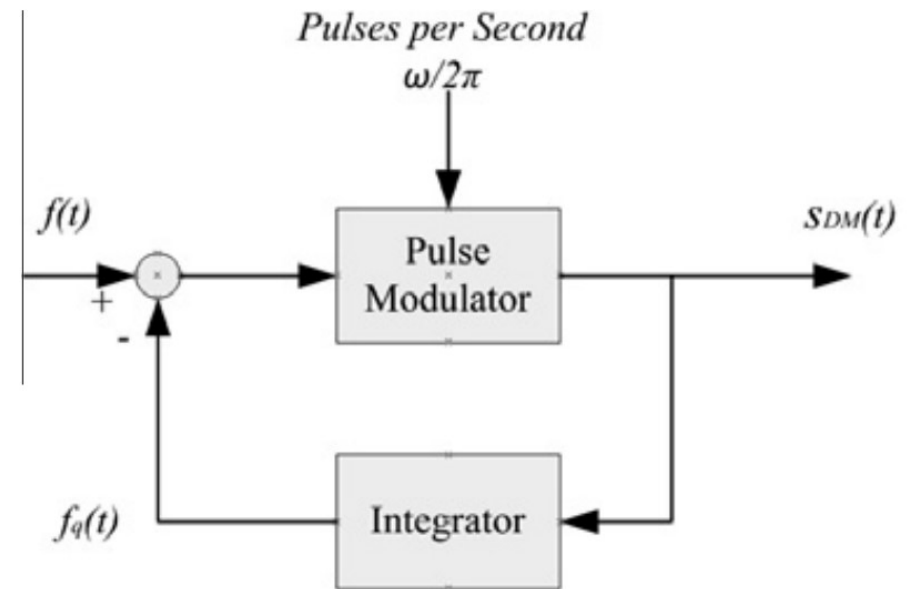
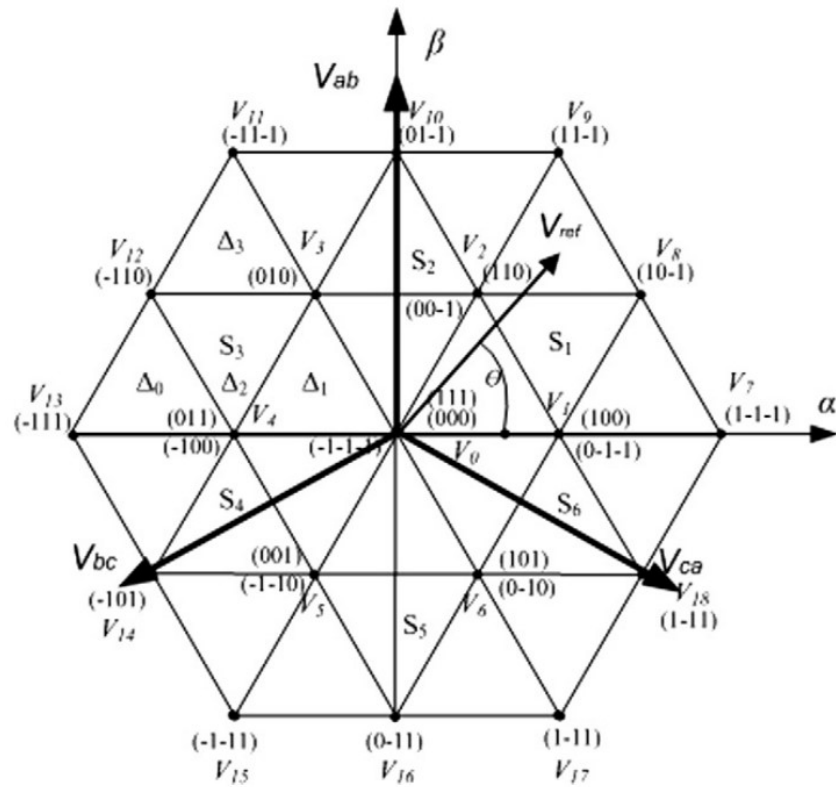


APOD



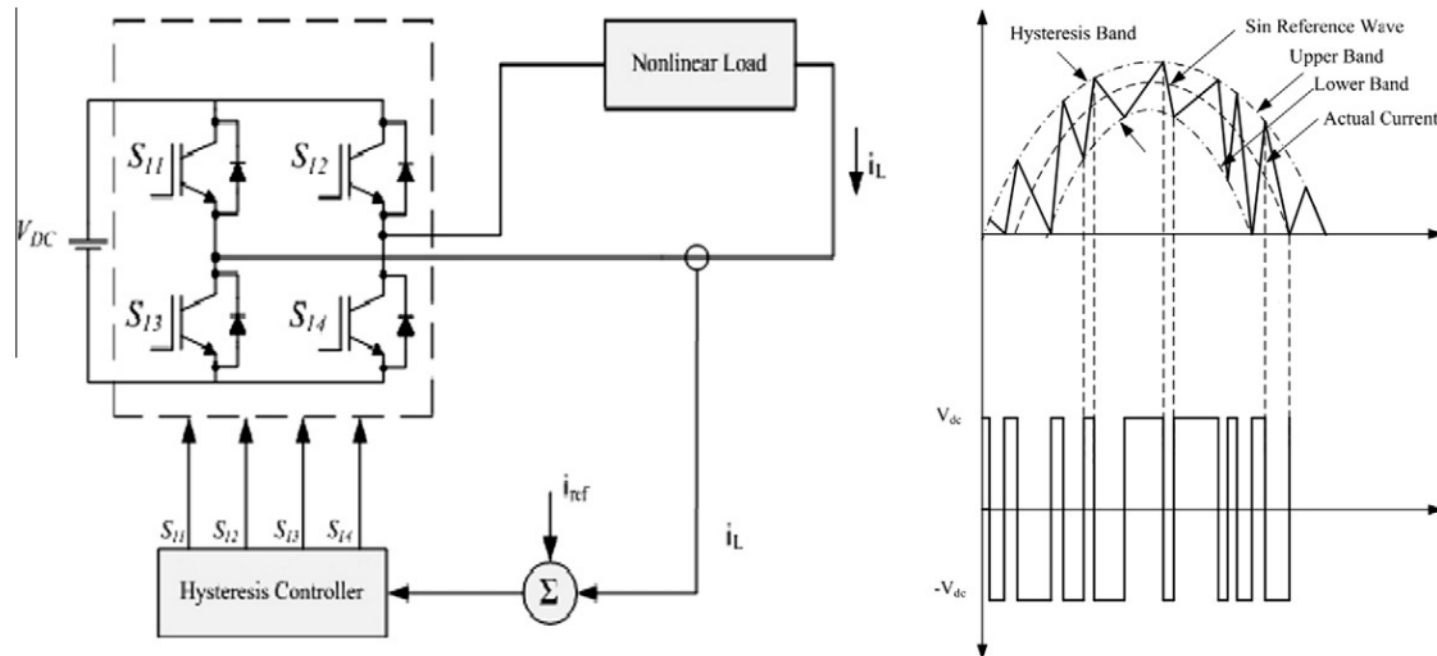
PS

Open Loop-Space Vector PWM (SVM-left) & Sigma Delta PWM (SDM-right)



Closed loop PWM control techniques

The hysteresis modulation is a feedback current control method where the load current tracks the reference current within a hysteresis band in nonlinear load application of an MLI.



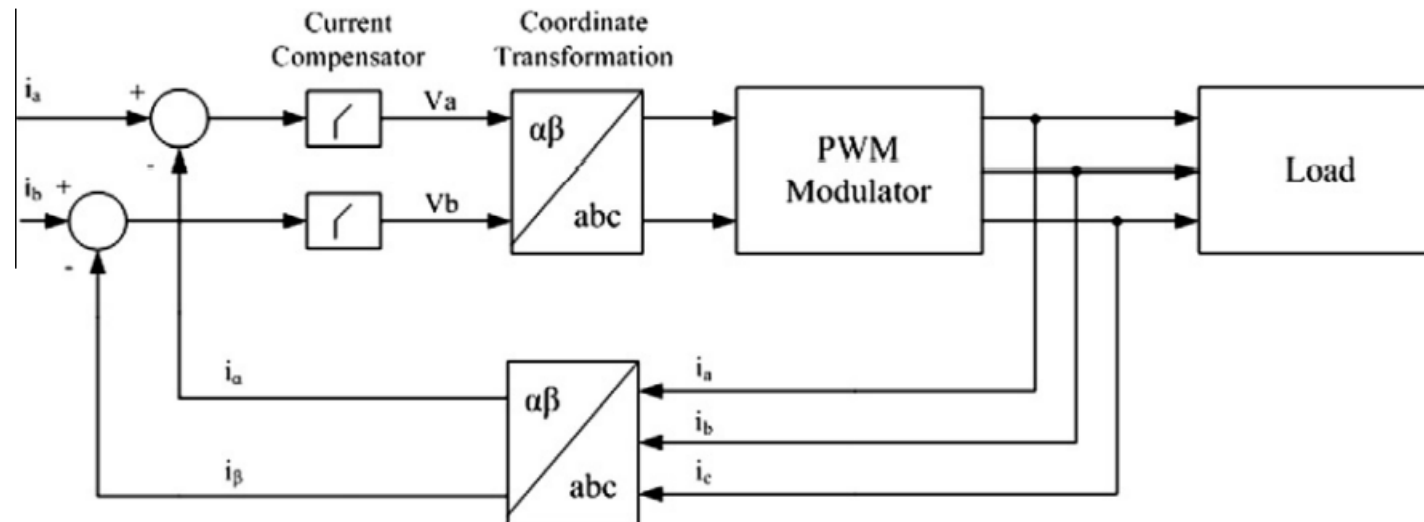
Closed loop PWM control techniques

- The controller generates the sinusoidal reference current of desired magnitude and frequency that is compared with the actual line current.
- If the current exceeds the upper limit of the hysteresis band, the next higher voltage level should be selected to attempt to force the current error towards zero.
- However, the new inverter voltage level may not be sufficient to return the current error to zero and inverter should switch to next higher voltage level until the correct voltage level is selected.
- The current gets back into the hysteresis band, and the actual current is forced to track the reference current within the hysteresis band.
- 3 types: double offset band three level, double band three level, and time-based three level hysteresis controllers.

Closed loop PWM control techniques

Linear current controllers are classified as ramp comparison controller, stationary vector controller, and synchronous vector controller.

In the three-phase isolated neutral-load topology, the three-phase current should have a sum of zero. Two linear compensators are required and the three-phase inverter reference voltage signals can be established algebraically using two-to-three-phase conversion ab/abc blocks.



Comparison of the topologies and control techniques

Topology	Control scheme		
	SHE-PWM	SPWM	SVM
DC-MLI	✓✓✓	✓	✓
FC-MLI	✓	✓	×
CHB-MLI	×	✓✓✓	✓
H-MLI	×	✓✓✓	×
AH-MLI	×	✓✓✓	✓

Topology	Application			
	Motor drive	Active filters	PV, fuel cells	STAT COM
DC-MLI	✓✓✓	✓	✓	✓
FC-MLI	✓	✓	×	×
CHB-MLI	✓✓✓	✓✓✓	✓✓✓	✓✓✓
H-MLI	✓	✓	✓	✓
AH-MLI	✓✓✓	✓	✓✓✓	✓